

Micro-DVR – Uma Plataforma de Desenvolvimento para DVR e FACDS

M. A. Oliveira, A. R. Giaretta, T. C. Monteiro, M. Galassi, S. U. Ahn, L. Matakas Jr., W. Komatsu, *Member, IEEE*, E. Bormio Jr., J. Camargo, J. A. Jardini, *Fellow, IEEE*

Abstract—This work presents a development platform with reduced power for DVR and FACDS applications and development. The proposed equipment allows testing control algorithms, hardware behavior as well as the strategy applied in the development of the power circuitry. The DVR (*Dynamic Voltage Restorer*) is one way to mitigate *Voltage Sags* and *Voltage Swells*, which are a common cause of damage for the industry, because of the growing number of equipment sensitive to the quality of the delivered electrical energy. The same equipment can be operated as a FACDS (*Flexible Alternating Current Distribution Systems*) allowing series compensation of distribution lines, as well as power flow control between parallel feeders. This paper emphasizes the implementation of a DVR topology and its results.

Resumo – Este trabalho apresenta uma plataforma de desenvolvimento com potência reduzida utilizada em projetos de desenvolvimento e aplicação de DVR e FACDS. O equipamento desenvolvido permite testar os algoritmos de controle, o comportamento do hardware e a estratégia utilizada no dimensionamento do circuito de potência. O Restaurador Dinâmico de Tensão (RDT ou DVR-*Dynamic Voltage Restorer*) é uma das possíveis formas de mitigação de *Voltage Sags* e *Voltage Swells*, que são causa cada vez mais comum de prejuízos para a indústria devido ao crescente número de equipamentos sensíveis a variações na qualidade da energia fornecida. O mesmo equipamento, operando como FACDS (*Flexible Alternating Current Distribution Systems*), pode atuar na compensação série de linhas de distribuição e também no controle do fluxo de potência entre alimentadores. Neste trabalho será dada ênfase na implementação de uma topologia de DVR.

Index Terms-- Conversor PWM, Restaurador Dinâmico de Tensão, FACDS, Voltage Sags, Voltage Swells.

I. NOMENCLATURA

DVR – Dynamic Voltage Restorer
FACDS – Flexible Alternating Current Distribution Systems
RDT – Restaurador Dinâmico de tensão
PWM - Pulse Width Modulation

Este trabalho foi financiado pela Companhia Paulista de Força e Luz (CPFL Piratininga), dentro do Programa de Pesquisa e Desenvolvimento da Agência Nacional de Energia Elétrica – ANEEL.

J. A. Jardini, L. Matakas Jr; W. Komatsu, M. Galassi e A. R. Giaretta são da Escola Politécnica da Universidade de São Paulo (EPUSP), São Paulo, SP 05508-900, BRASIL (e-mail: wilsonk@usp.br).

S.U. Ahn e E. Bormio Jr. são da Companhia Paulista de Força e Luz (CPFL Piratininga), Campinas, SP, BRASIL (e-mail: seun@cpfl.com.br).

J. Camargo, M. A. Oliveira e T. Monteiro são da Expertise Engenharia Ltda, Campinas, SP, BRASIL (e-mail: josue@expertise.com.br).

EPI – Equipamento de Proteção Individual
PLL – Phase Locked Loop
CC – Corrente Contínua
CA – Corrente Alternada.
LC – Indutor-capacitor (filtro)
PI – Proporcional-Integral (controlador)
FPB – Filtro Passa Baixas

II. INTRODUÇÃO

O objetivo deste trabalho é apresentar uma plataforma de desenvolvimento para DVR e FACDS que permita testar os algoritmos de controle, comportamento do hardware e validar as estratégias de dimensionamento dos circuitos, sem a presença dos inconvenientes da operação com tensões e correntes elevadas.

Esta plataforma opera com tensões e correntes CA trifásicas com valores reduzidos (31V eficazes de fase e 3A nominais). Dessa forma, o sistema fica com o tamanho reduzido possibilitando um manuseio mais simples se comparado com um sistema em escala real. Trabalhando com correntes e tensões reduzidas, além da redução dos riscos de acidentes graves durante o desenvolvimento, os efeitos da interferência eletromagnética gerada pelo chaveamento dos conversores também é minimizado.

O equipamento em escala reduzida pode diminuir drasticamente os custos de desenvolvimento. Em um laboratório pequeno e com uma rede CA com capacidade de corrente limitada pode-se realizar os mesmos tipos de ensaios de um equipamento de dimensões reais, os quais só seriam possíveis em instalações especiais. Há também economia de recursos, pois se envolvem menos pessoas e utilizam-se equipamentos com nível de isolamento básica menor para medição e EPIs. Com a redução de tamanho, este equipamento pode ser facilmente transportado para oferecer treinamento e capacitação de pessoal em equipamentos de eletrônica de potência aplicados a sistemas de distribuição.

III. TOPOLOGIA DO MICRO-DVR

O diagrama unifilar simplificado do Micro-DVR é mostrado na Fig. 1. O sistema é ligado à rede CA através de dois bancos de três transformadores monofásicos ligados em estrela-estrela com um terciário em delta¹. Com isso o sistema opera sem defasagem da rede CA, e galvanicamente isolado.

¹ O terciário em delta evita que a corrente de magnetização distorça a tensão de saída, devido à ligação estrela-estrela entre primário e secundário.

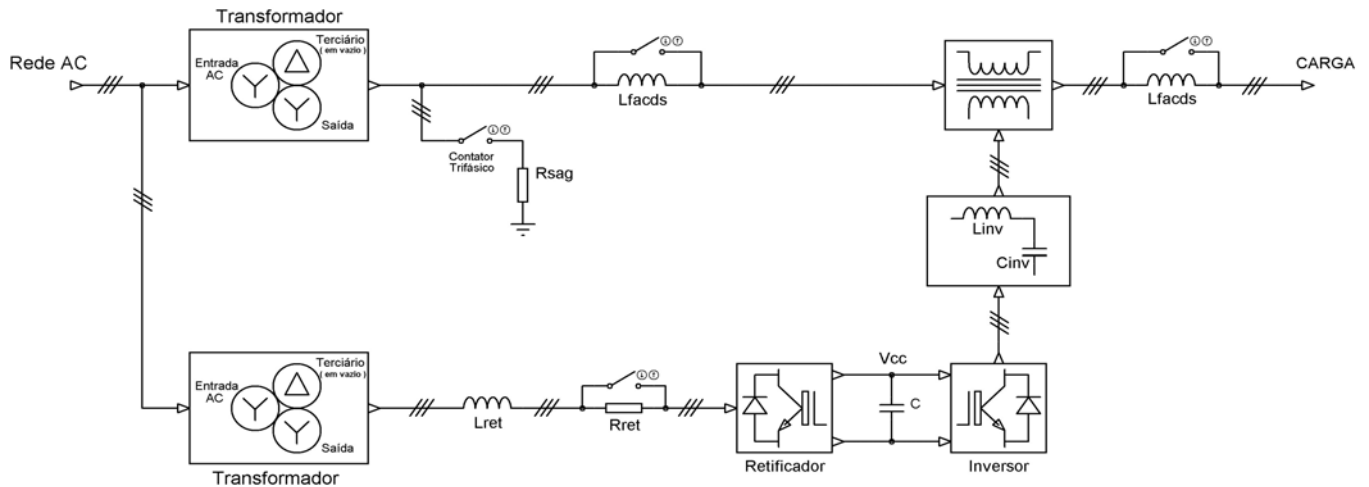


Fig. 1. Diagrama unifilar simplificado do Micro-DVR. Fase A.

O ramo série é implementado com três inversores monofásicos em ponte completa, chaveados com PWM em três níveis², conectados a filtros LC (Linv, Cinv) e ligados em série entre a rede CA (isolada) e a carga através de três transformadores monofásicos, permitindo-se com isso a injeção de corrente de seqüência zero. A presença dos indutores chaveados Lfacs permite simular a impedância de uma linha de distribuição concentrada metade à montante e metade à jusante. O resistor Rsag, com o mesmo valor ôhmico da impedância série do banco de transformadores da entrada CA, realiza o afundamento momentâneo da tensão de fase (*Sag*) para 50% da tensão nominal.

O ramo paralelo é composto pelo segundo banco de transformadores abaixadores e por um retificador PWM trifásico, que absorve corrente CA praticamente senoidal com alto fator de potência³ e mantém a tensão no banco de capacitores C do barramento CC com tensão Vcc constante igual a 50V. Em um evento de rejeição de carga que gere uma elevação momentânea de tensão (*Swell*) os inversores monofásicos do ramo série devolvem energia ao banco C, e o retificador PWM devolve esta energia à rede CA. Na energização inicial do conjunto, com o retificador PWM desativado, a corrente de carga do banco C é limitada temporariamente pelos resistores Rret. Quando a tensão Vcc atinge um valor mínimo os resistores Rret são curto-circuitados pelo controle e tanto o retificador PWM como os inversores do ramo série entram em operação. Em regime, a tensão Vcc é maior que o valor de pico de linha do secundário do banco de transformadores do ramo paralelo, permitindo ao retificador PWM impor corrente com derivada positiva ou negativa sobre os indutores Lret.

O DVR implementado pode compensar *Voltage Sags* trifásicos máximos para $v_{Sag,3\phi} = 0,5pu$ e *Voltage Swells*

máximos para $v_{Swell} = 1,2pu$ com máxima duração de $\Delta t = 300ms$.

IV. CONTROLE DO MICRO-DVR

A. Controle do ramo série

O sistema de controle do ramo série do Micro-DVR é representado pelos blocos de geração de referência, Phase-Locked-Loop (PLL) e controle do inversor da Fig. 2. O bloco de geração de referência tem por objetivo fornecer ao controlador de tensão a referência de tensão a ser injetada pelo DVR. O controle do inversor (por fase) rastreia a tensão de referência por fase, garantindo a injeção correta de tensão em série de cada fase. Informações sobre ângulo de fase e frequência da tensão CA utilizada, fornecidas pelo bloco de PLL, são críticas para o funcionamento de DVRs. Algumas estratégias de controle de tensão e do PLL são apresentadas em [6], [7], [8] e [9]. As estratégias de PLL e geração de referência série implementadas nesta plataforma são apresentadas nos itens 1) e 2) a seguir.

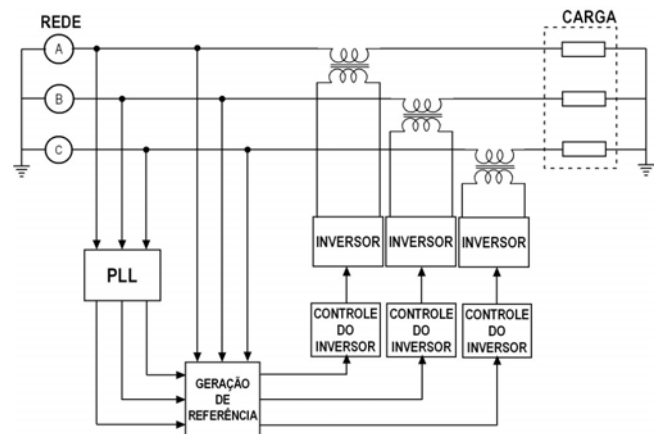


Fig. 2. Diagrama de blocos de controle do ramo série na operação como DVR.

² Também chamado PWM com chaveamento unipolar de tensão [1].

³ A corrente CA deste retificador é modulada em PWM e tem o conteúdo harmônico filtrado pelo indutor Lret [2].

1) PLL de seqüência positiva [8]

É implementado um detector de fase baseado no produto escalar das tensões de rede CA $V_{A,B,C}$ com as tensões de sincronismo $V_{PLL,A,B,C}$ e uma posterior filtragem desse resultado (Fig. 3). Se as tensões estiverem sincronizadas e com defasagem de 90 graus entre si, a componente contínua do produto escalar tem valor nulo. Caso elas estejam em alguma outra situação, um controlador PI faz o ajuste na frequência do PLL, corrigindo fase e frequência. A partir de $V_{PLL,A,B,C}$ são geradas tensões ($V_{PLL/A, B, C}$) em fase com a rede. Este método apresenta a vantagem de obter um conjunto trifásico de referências em fase com a componente fundamental da seqüência positiva da rede. Além disso, é possível desenvolver um PLL preciso e rápido com mínimo tempo de processamento, o que facilita a sua implementação em sistemas de controle baseados em DSPs.

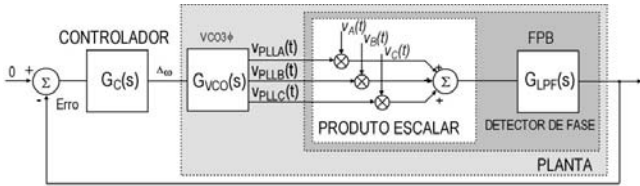


Fig. 3. Estrutura básica do PLL usado, implementado com um sistema de controle em malha fechada.

2) Geração de referência para compensação de Sags e Swells e harmônicas de tensão

Este método tem como vantagem o fato de corrigir a amplitude da seqüência positiva em regime e durante Sags e Swells, assim como eliminar as distorções harmônicas de tensão na carga.

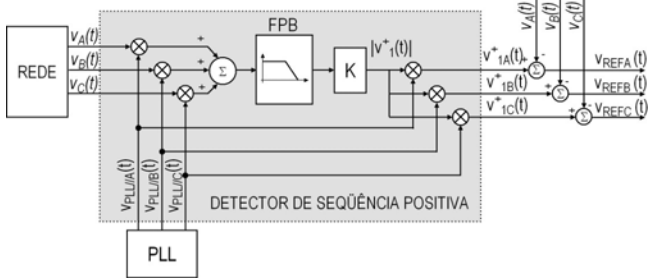


Fig. 4. Geração de referência na operação como DVR, baseada na extração da seqüência positiva da tensão.

Na Fig. 4, os valores instantâneos gerados pelo PLL ($V_{PLL/A}(t)$, $V_{PLL/B}(t)$ e $V_{PLL/C}(t)$), em fase com a seqüência positiva da rede, são multiplicados um a um com as correspondentes tensões medidas da rede $V_A(t)$, $V_B(t)$ e $V_C(t)$. A soma dos três produtos passa por um filtro passa-baixas (FPB) e é multiplicada por uma constante ($K=2/3$), resultando no o valor de pico da seqüência positiva extraída da rede $|v_1^+(t)|$. Multiplicando-se individualmente esse valor por $V_{PLL/A}(t)$, $V_{PLL/B}(t)$ e $V_{PLL/C}(t)$, obtêm-se $v_{1A}^+(t)$, $v_{1B}^+(t)$ e $v_{1C}^+(t)$ (valores desejados para a carga) de onde, subtraídas as tensões medidas da rede, resultam as tensões de referência $V_{REFA}(t)$, $V_{REFB}(t)$ e $V_{REFC}(t)$, para o controle

de cada um dos três inversores série do DVR.

O valor $|v_1^+(t)|$ (valor real de pico da componente fundamental de seqüência positiva) varia lentamente durante o dia devido às variações no carregamento do sistema de distribuição. Portanto, a dinâmica do gerador de referência deve ser lenta o suficiente para acompanhar apenas a pequena variação, normal e aceitável em torno do valor nominal da tensão da rede, mas manter-se praticamente inalterada durante os Sags e Swells para que estes sejam compensados. Com isso, distorções harmônicas de tensão na carga também são compensadas em regime e nos transitórios, pois as referências $v_{1A}^+(t)$, $v_{1B}^+(t)$ e $v_{1C}^+(t)$ têm valor de pico $|v_1^+(t)|$.

B. Controle do ramo paralelo

O sistema de controle do ramo paralelo do Micro-DVR operando como DVR é representado pelos blocos de controle de tensão CC (Fig. 5) e controle da corrente CA, ambos do retificador PWM (Fig. 6).

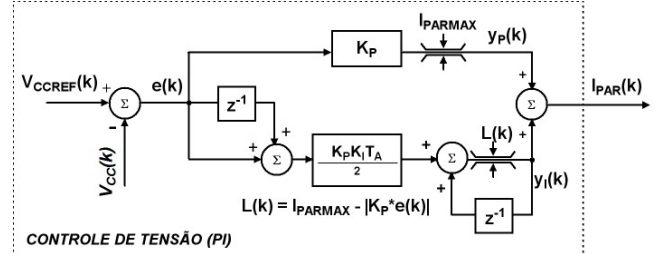


Fig. 5: Diagrama de blocos de controle da tensão CC do ramo paralelo.

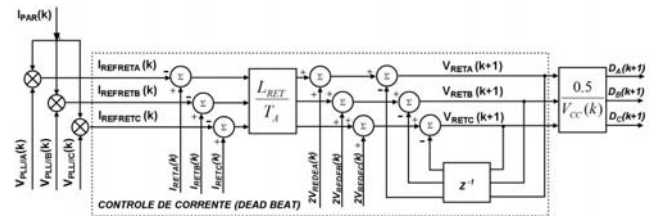


Fig. 6: Diagrama de blocos de controle da corrente CA do ramo paralelo.

1) Controle de tensão CC

O bloco de controle da tensão CC é implementado com um controlador PI com *anti-windup* e tem por objetivo manter a tensão no barramento CC em um valor pré-determinado V_{CCREF} . A expressão do controlador PI discretizado do plano s para o plano z por transformação bilinear é:

$$I_{PAR}(k) = K_P \cdot e(k) + \frac{T_A \cdot K_P K_I}{2} \cdot [e(k) + e(k-1)] + y_1(k-1) \quad (1)$$

onde T_A é o período de amostragem, K_P é o ganho proporcional e K_I é o ganho integral, I_{PAR} é a saída do bloco PI, resultante do erro em sua entrada (que é a diferença entre a tensão de referência V_{CCREF} e a tensão medida V_{CC}), e k é a k -ésima amostra em um sistema discretizado.

Especialmente durante transientes ou devido à saturações internas das malhas de controle, a parte integral do controlador PI pode ser levada à saturação, fazendo com que o controle não seja efetivo. Esse problema, conhecido como *windup*, pode ser evitado prevendo-se uma bloco

anti-windup no controlador que restrinja a ação integral durante transientes. O algoritmo proposto consiste em variar o limite L da ação integral dinamicamente. Fixando-se um limite fixo (valor máximo) para a ação proporcional, o limite variável da ação integral é dado por (2):

$$L(k) = y_{P_{MAX}} - |K_p \cdot e(k)| \quad (2)$$

2) Controle de corrente CA

O controlador de corrente CA, baseado em um algoritmo *deadbeat* [3], [4], [5], [6], [7], [9]), rastreia a corrente de referência, garantindo a geração de correntes senoidais em fase com as tensões de entrada do retificador PWM. Para uma dada fase, a diferença entre a tensão da rede $v_A(t)$, $v_B(t)$ ou $v_C(t)$ e a tensão sintetizada $v_{RETA}(t)$, $v_{RETB}(t)$ ou $v_{RETC}(t)$ na saída do retificador PWM recai sobre o indutor L_{ret} em série, gerando uma corrente i_L , que é a corrente absorvida pelo retificador PWM. A tensão sintetizada v_{RET} que assegura resposta *deadbeat* é dada pela expressão (3):

$$V_{RET}(k+1) = \frac{I_L(k) - I_{ref}(k)}{T_A} \cdot L_{ret} + 2V_{Rede}(k) - V_{RET}(k) \quad (3)$$

V. SIMULAÇÕES

O algoritmo de PLL da Fig. 3 foi simulado com o software Matlab para a frequência da rede de 60Hz, afundamento trifásico de 50% da fundamental e presença da 5ª harmônica (20%). Os resultados estão na Fig. 7, mostrando a ocorrência de sincronização, evidenciados pela presença das três tensões de seqüência positiva $V_{PLL//}$. O controlador PI (controlador $G_C(s)$) na Fig. 3) foi ajustado com $k_I = 0.04 \frac{\text{rad}}{\text{V}^2 \text{s}^2}$ e $k_P = 0.28 \frac{\text{rad}}{\text{V}^2 \text{s}}$. A máxima variação da frequência angular é $\Delta\omega = 4\pi \frac{\text{rad}}{\text{s}}$. A frequência de amostragem desta simulação foi $f_s = 10\text{kHz}$.

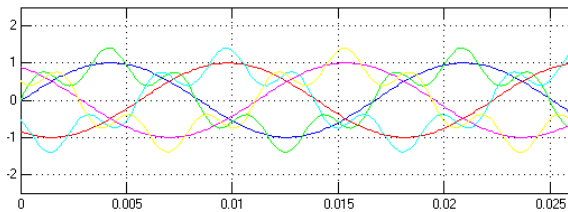


Fig. 7. Tensões de fase (verde, ciano, amarelo). Tensões $V_{PLL//}$ (azul, vermelho, púrpura).

O gerador de referência da Fig. 4 foi simulado com o software PSIMCAD (Fig. 8). Na simulação foi aplicada tensão eficaz (da fase A) $V_{A_rms} = 31\text{V}$ (1 p.u.) sem harmônicas e referência de tensão gerada pelo PLL (também para a fase A) inicialmente como $V_{Aref_rms} = 31\text{V}$ (1 p.u.). Um *Sag* trifásico de 65% com duração de $t_{SAG} = 0.5\text{s}$ foi aplicado. Pode ser ver na Fig. 8 que a referência de tensão é mantida acima de 95%

do valor inicial (nominal), seguindo o critério de projeto adotado, e seu comportamento não apresenta sobressinal.

A referência de seqüência positiva não pode se alterar consideravelmente durante o curto intervalo do evento de *Sag* ou *Swell*. Para o Micro-DVR a máxima duração de um *Sag/Swell* foi definida como $t_{SAG_max} = 0.3\text{s}$, e o filtro passa-baixas (FPB) do gerador de referência (Fig. 5) deve ter um tempo de acomodação $t_{settleing}$ maior que t_{SAG_max} . Isto assegura que durante o distúrbio a referência de seqüência positiva se mantém praticamente constante, e que o Micro-DVR consiga restaurar a tensão na carga a valores nominais de antes do afundamento. Para a simulação e na implementação o tempo de acomodação é de cerca de $t_{settleing} = 5\text{s}$.

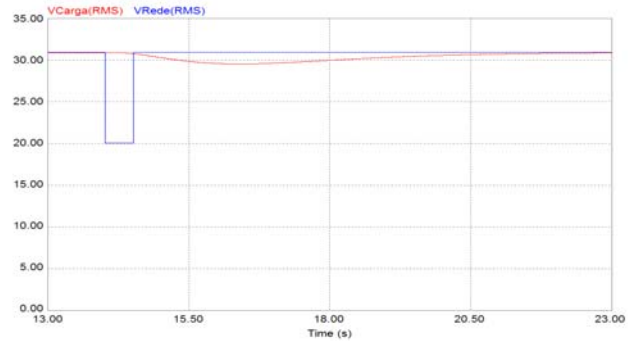


Fig. 8. Comportamento da referência de tensão (vermelho) durante um *Sag* trifásico (azul). Formas de onda referidas à fase A.

Para o ramo paralelo (retificador PWM), inicialmente regulou-se o controlador PI de tensão do barramento CC para um tempo de acomodação de 1s e um erro máximo de 5% em relação à tensão de referência. Com isto após a aplicação de um degrau de carga de 50% da potência nominal pode-se verificar a atuação do controlador de tensão na Fig. 9.

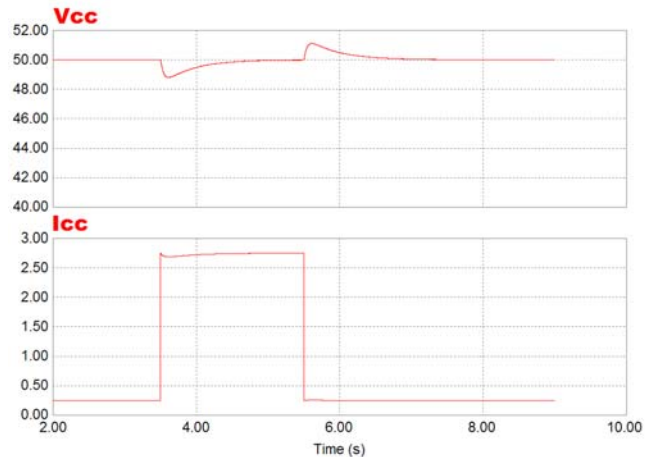


Figura 9. Simulação do controle da tensão do barramento CC.

VI. RESULTADOS EXPERIMENTAIS

O Micro-DVR foi instalado em um gabinete industrial padrão, conforme fotos das Figs. 10 a 12. Para implementação do controle foram utilizados dois Processadores Digitais de Sinais (DSP) Analog Devices ADSP-21992, um para o ramo série e outro para o ramo

paralelo, operando independentemente e sem comunicação entre si. Para as medições dos sinais foram utilizados sensores de Efeito Hall LEM LA25 para os sinais de corrente e LEM LV20 para os sinais de tensão. Os conversores foram implementados com transistores IGBT IRG4PC50UD ($V_{CES}=600V$, $I_C=27A$) e disparadores Agilent HCPL-316J. Os conversores operam com frequência de chaveamento de $f_{chav}=10kHz$ e a frequência de amostragem dos DSPs é o dobro, no caso $f_s=20kHz$.



Fig. 10. Vista do Micro-DVR



Fig. 11. Vista frontal do Micro-DVR



Fig. 12. Vista lateral do Micro-DVR

Foram efetuadas medidas de desempenho, operando

como DVR, comprovando a compensação de harmônicas de tensão (Fig. 13) e de afundamentos de tensão trifásicos para 50% com carga R (Fig. 14) e RL (Fig. 15).

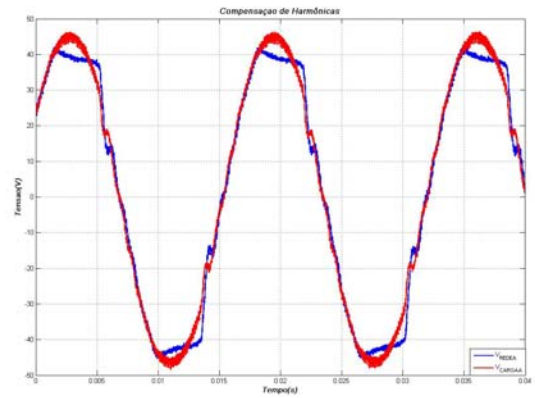


Fig. 13. Compensação de harmônicas de tensão (fase A) na carga.

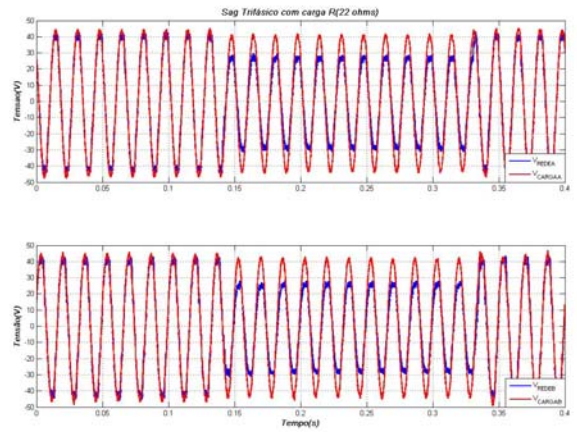


Fig. 14. Compensação de afundamento de tensão trifásico para 50% (mostrando somente fases A e B) com carga $R=22ohms$.

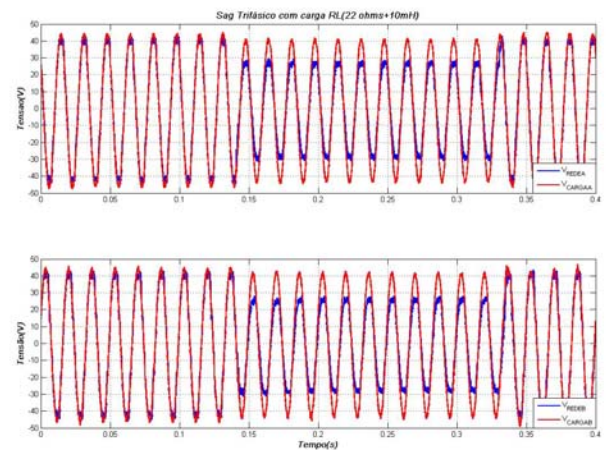


Fig. 15. Compensação de afundamento de tensão trifásico para 50% (mostrando somente fases A e B) com carga $R=22ohms$, $L=10mH$.

VII. CONCLUSÕES

Este trabalho apresentou uma plataforma de desenvolvimento para DVR e FACDS com valores de

tensão e corrente reduzidos, que permite testar os algoritmos de controle, comportamento do hardware e validar as estratégias de dimensionamento dos circuitos, sem a presença dos inconvenientes da operação com tensões e correntes elevadas. Com isso reduzem-se os riscos de acidentes elétricos, há redução de interferência eletromagnética, abre-se a possibilidade de instalação em locais com potência disponível limitada e se ganha portabilidade para o equipamento, que pode ser usado para treinamento e capacitação de pessoal em equipamentos de eletrônica de potência aplicados a sistemas de distribuição.

Simulações computacionais e resultados experimentais foram apresentados para validar as premissas de projeto e implementação.

VIII. AGRADECIMENTOS

Os autores agradecem a pelas contribuições de M. Masuda, F.A.T. Silva, F.O. Martinz, S. Copeliovitch, W. Borges, E.R. Zanetti e E. Lima no desenvolvimento dos trabalhos do projeto de pesquisa e desenvolvimento que deram origem a este trabalho.

IX. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] N. Mohan, T. M. Undeland, W. Robbins, "Single-Phase Inverters," in *Power Electronics: Converters, Applications and Design*, 3rd ed., Hoboken, NJ, John Wiley & Sons, 2003, pp. 211-225.
- [2] N. Mohan, T. M. Undeland, W. Robbins, "Three-Phase Inverters," in *Power Electronics: Converters, Applications and Design*, 3rd ed., Hoboken, NJ, John Wiley & Sons, 2003, pp. 225-236.
- [3] S. U. Ahn, L. Matakas Jr, J. A. Jardini, W. Komatsu, M. Masuda, F. A. T. Silva, M. Galassi, J. Camargo, E. R. Zanetti, F. O. Martinz, "Dispositivo Restaurador da Tensão com Funções de Compensação de Reativos e Filtro Ativo de Harmônicos," in *II Congresso de Inovação Tecnológica em Energia Elétrica (CITENEL)*, volume 2, pp.885-890, Brasil, 2003.
- [4] L. Matakas Jr., W. Komatsu, J. A. Jardini, S. U. Ahn, M. Galassi, F. O. Martinz, S. Copeliovitch, F. A. T. Silva, M. Masuda, J. Camargo, E. R. Zanetti, "Mini-DVR – Dynamic Voltage Restorer with functions of Reactive Compensation and Active Harmonic Filter," in *IEEE/PES Transmission and Distribution Conference and Exposition Latin America*, November 2004, Brazil.
- [5] S.U. Ahn, J.A. Jardini, M. Masuda, F.A.T. Silva, S. Copeliovitch, L. Matakas, W. Komatsu, M. Galassi, F. Ortiz, J. Camargo, E. R. Zanetti, "Mini-DVR - Dynamic Voltage Restorer with Active Harmonic Filter (Tests of Prototype)," in *11th ICHQP Conference*, September 2004.
- [6] L.Matakas Jr, W.Komatsu, J.A. Jardini, M. Masuda, F.A.T. Silva, S.Copeliovitch, M.Galassi, F.O. Martinz, S. U. Ahn, E.R. Zanetti, J. Camargo, "A Low Power Dynamic Voltage Restorer with Voltage Harmonic Compensation," in *International Power Electronics Conference*, 2005.
- [7] S. U. Ahn, J. A. Jardini, L. Matakas Jr., W. Komatsu, M. Masuda, F.A.T. Silva, M. Galassi, F. O. Martinz, S. Copeliovitch, M.A. Oliveira, J. Camargo, E.R.Zanetti, E. G. Lima, "Implementação e testes alfa da geração de referencia e controle em um protótipo de Restaurador Dinâmico de Tensão," in *VI Seminário Brasileiro sobre Qualidade de Energia Elétrica*, pp.205-212, Brasil, 2005.
- [8] L. Matakas Jr., F. O. Martins, A. R. Giaretta, M. Galassi, W. Komatsu, "Uma Abordagem Gráfica para um Algoritmo de PLL Baseado em Sequência Positiva," in *CBA 2006 Congresso Brasileiro de Automática*, pp. 2081-2086, Curitiba, 2006.
- [9] M. Galassi; A. R. Giaretta; M. A.Oliveira; F. O. Martinz; M. Masuda; S. U. Ahn; J. A. Jardini; L. Matakas Jr; W. Komatsu; J. Camargo, "Reference Generation and PLL in a Dynamic Voltage Restorer Prototype: Implementation and Tests," in *XII ICHQP*,

X. BIOGRAFIAS



José Antonio Jardini, nasceu em 27 de março de 1941, formado em Engenharia Elétrica pela Escola Politécnica da USP (EPUSP) em 1963. Mestre em 1970, Doutor em 1973, Livre Docente/ Prof Associado em 1991 e Professor Titular em 1999 todos pela EPUSP Departamento de engenharia de Energia e Automação Elétricas (PEA). Trabalhou de 1964 a 91 na Themag Eng. Ltda atuando na área de estudos de sistemas de potência, projetos de linhas e automação.

Atualmente é professor da Escola Politécnica da USP do Departamento de Engenharia de Energia e Automação Elétricas onde leciona disciplinas de Automação da Geração, Transmissão e Distribuição de Energia Elétrica. Foi representante do Brasil no SC38 da CIGRE, é membro da CIGRE, Fellow Member do IEEE, e Distinguished Lecturer do IAS/IEEE.



Se Un Ahn, nascido em Inchon, Coréia do Sul, em 1957. Graduado pela Escola de Engenharia Mackenzie (São Paulo) em 1981. Obteve os títulos de Mestre e Doutor em engenharia elétrica pela Escola Politécnica da Universidade de São Paulo (1993 e 1997 respectivamente). Trabalha desde 1986 como engenheiro de pesquisas de sistemas de distribuição na empresa CPFL Piratininga (ex Eletropaulo e Bandeirante), todas empresas de

concessionárias de energia elétrica. As atividades profissionais incluem ainda uso de curva de carga e planejamento da expansão do sistema elétrico.



Lourenço Matakas Jr, Jr, nascido em São Paulo, Brasil, em 27 de setembro de 1960. Formou-se pela EPUSP em 1983, lá obtendo os graus de mestre e doutor em 1989 e 1998 respectivamente. Trabalhou de 1984 a 1989 na FDTE/EPUSP desenvolvendo projetos envolvendo veículos elétricos, reatores eletrônicos, fornos a indução e retificadores com elevado fator de potência. Na Universidade de Tóquio, Japão, frequentou o

programa de doutorado de 1990 a 1992, sendo contratado como professor assistente de 1993 a 1995, pesquisando a associação de conversores estáticos. Desde 1996 é professor da EPUSP, PUC-SP e Universidade São Judas, lecionando disciplinas relativas à eletrônica de potência, eletrônica e automação industrial. Suas áreas de atuação atuais são: qualidade de energia, controle e modelamento de conversores e sua aplicação em redes elétricas.



Wilson Komatsu, nascido em São Paulo, Brasil, formou-se pela EPUSP em 1986, lá obtendo os graus de mestre e doutor em 1992 e 2000 respectivamente. Trabalhou de 1987 a 1989 na FDTE/EPUSP desenvolvendo projetos de fornos a indução. Desde 1989 é professor da EPUSP, lecionando disciplinas relativas à eletrônica de potência e controle. Suas áreas de atuação atuais são: qualidade de energia, controle e modelamento de conversores e sua aplicação em redes elétricas.



Edison Bormio Jr. nasceu em Bauru-SP, 1965. Graduado pela Escola Federal de Engenharia de Itajubá (MG) em 1990 como Engenheiro Eletricista. Trabalha desde 1992 como engenheiro de planejamento de sistemas de distribuição da CPFL Paulista empresa concessionária de energia elétrica. As atividades profissionais incluem ainda uso de curva de carga.



Josué de Camargo, nascido na capital de São Paulo, Brasil, em 28 de abril de 1958. Graduado em Engenharia Elétrica pela Universidade Estadual de Campinas (UNICAMP). Trabalhou por 18 anos na Companhia Paulista de Força e Luz, possui diversos trabalhos na área de regulação de tensão e compensação de reativos, especialmente envolvendo compensação reativa série. Atualmente trabalha na Expertise Engenharia atuando na área de pesquisa aplicada a sistemas de Distribuição de Energia Elétrica, relacionados a temas voltados a qualidade da energia elétrica.



Antonio Ricardo Giaretta nasceu em Jundiaí, São Paulo, em 1980. Graduou-se em Engenharia Elétrica em 2005 pela Escola Politécnica da Universidade de São Paulo com ênfase em Sistemas Eletrônicos. Atualmente é pesquisador do LEP (Laboratório de Eletrônica de Potência) da Escola Politécnica da Universidade de São Paulo onde é estudante de Mestrado, e trabalha com aplicações de Eletrônica de Potência em Sistemas de Distribuição de Energia Elétrica.



Maurício Galassi, natural de São Paulo, Brasil, nascido em 22 de Agosto de 1978. cursou graduação do curso de Engenharia de Energia e Automação Elétricas da Escola Politécnica da Universidade de São Paulo, formando-se em 2002 e lá obteve o grau de mestre em 2006. Cursa atualmente Doutorado em Engenharia de Energia e Automação Elétricas na Escola Politécnica da Universidade de São Paulo e trabalha como pesquisador do grupo LEP (Laboratório de Eletrônica de Potência) na mesma instituição.



Thiago Costa Monteiro, nascido em Rio Claro, 1983. É graduado em Engenharia Elétrica pela Universidade Estadual de Campinas (2005), com ênfase em Sistemas de Energia Elétrica. Tem experiência na área de Engenharia Elétrica, em Distribuição de Energia e em sistemas de Medição, Controle e Correção de distúrbios que afetam a Qualidade da Energia Elétrica. Trabalhou 1 ano na CPFL, área de Planejamento de Expansão de Sistemas de Distribuição. Atualmente desenvolve projetos de P&D no projeto e aperfeiçoamento de protótipos Restauradores Dinâmicos de Tensão (DVR) e FACTS, pela Expertise Engenharia.



Marco Antônio de Oliveira nasceu em 16 de novembro de 1967 em Jacareí, Brasil e graduou-se em Engenharia Elétrica na Pontifícia Universidade Católica de São Paulo (PUC-SP) em 2003. Cursa atualmente Mestrado em Engenharia de Energia e Automação Elétricas na Escola Politécnica da Universidade de São Paulo e desenvolve projetos de P&D pela Expertise Engenharia.