



**GRUPO IV**

**GRUPO DE ESTUDO DE ANÁLISE E TÉCNICAS DE SISTEMAS DE POTÊNCIA - GAT**

**TESTE DE PROTÓTIPO DO DISPOSITIVO RESTAURADOR DA TENSÃO COM FUNÇÃO DE FILTRO  
HARMÔNICO ATIVO (MINI-DVR) – 1ª FASE**

J. A. JARDINI\*    S. U. AHN\*\*    L. MATAKAS. Jr. †    W. KOMATSU†    J. CAMARGO††  
M. MSAUDA\*    F. A.T .SILVA\*    S. COPELIOVITCH\*  
M. GALASSI\*    F. O. MARTINZ\*    E. R. ZANETTI††

\*EPUSP/PEA/GAGTD

\*\*CPFL Piratininga

†EPUSP/PEA/LEP

††EXPERTISE ENG.

**RESUMO**

A utilização de cargas sensíveis em sistemas elétricos de potência, especialmente em aplicações industriais, faz com que a preocupação com custos de interrupção de energia aumente vertiginosamente. Esse artigo apresenta um dispositivo baseado em eletrônica de potência que compensa *voltage sags*, *swells* e distorção harmônica de tensão, restaurando a tensão da carga a valores aceitáveis. O dimensionamento de um Restaurador Dinâmico de Tensão é mostrado, bem como o algoritmo de controle *deadbeat* implementado em um Processador Digital de Sinais (DSP). Ao final, simulações e resultados experimentais de um protótipo de 5kVA são apresentados.

**PALAVRAS-CHAVE**

Voltage Sags, Restaurador Dinâmico de Tensão (DVR), Conversor controlado com DSP, Qualidade de Energia.

**1.0 - INTRODUÇÃO**

Perturbações presentes no sistema de potência podem afetar cargas sensíveis na maior parte das linhas de produção. De acordo com [1], um *Voltage Sag* é definido como um decréscimo na amplitude da tensão eficaz entre 0,1–0,9 por unidade (p.u.) na frequência fundamental, com duração de 0,5 ciclo a 1 minuto. Voltage sags são geralmente causados por faltas em linhas adjacentes do sistema de potência ou por partidas de grandes motores, podendo ocasionar má operação ou falhas. Da mesma forma, um *Voltage Swell* é definido como um aumento na amplitude da tensão eficaz na frequência fundamental, com duração de 0,5 ciclo a 1 minuto, podendo resultar em danos permanentes à carga. Valores típicos de magnitude estão entre 1,1 e 1,8 p.u.

Os custos de interrupções de processos industriais dependem da sensibilidade da carga e do tipo de processo interrompido. Tipicamente, uma interrupção de energia de quatro horas custa US\$74.835,00, enquanto um voltage sag de 0.1 p.u. ou 0.2 p.u. com duração de 15 ciclos pode custar US\$7.694,00 [2]. Uma possível solução para estes tipos de distúrbios, baseada em dispositivos de eletrônica de potência é o Restaurador Dinâmico de Tensão (Dynamic Voltage Restorer, DVR), o qual é conectado em série com a carga por meio de um transformador de injeção, restaurando a amplitude da tensão de carga durante *voltage sags*. DVRs somam à tensão da rede uma

tensão pré-calculada sintetizada por um inversor de potência, de modo a manter a tensão da carga dentro de valores aceitáveis. A principal vantagem de um DVR é que, como o dispositivo injeta a diferença entre a tensão remanescente de rede e a tensão de referência apenas durante *voltage sags* ou *swells*, não há necessidade de armazenar a energia para suprir plena carga, como é o caso das Fontes Ininterruptas de Energia (UPSs). Entretanto, DVRs não trabalham durante interrupções de energia, o que é sua principal desvantagem.

Este artigo descreve o dimensionamento de um DVR que compensa *voltage sags*, *swells* e distorção harmônica de tensão. A estratégia de controle, o algoritmo de Phase-Locked-Loop (PLL) e de geração de referência, bem como a modelagem do inversor são discutidos. Resultados de simulação do dispositivo no sistema de potência também são apresentados. Finalmente, o modelo proposto é implementada em um Processador Digital de Sinais (DSP) em um protótipo de 5-kVA/220V e sua validade é analisada por meio de resultados experimentais.

## 2.0 - TOPOLOGIA

O diagrama unifilar do DVR é mostrado na Figura 1. Um inversor em ponte completa chaveado por Modulação em Largura de Pulso (PWM) é conectado a um filtro LC e a um transformador série monofásico. Três arranjos monofásicos iguais são montados, de modo a possibilitar a injeção de seqüência zero. É importante notar que a energia necessária para carregar os capacitores de barramento CC vem da própria rede na qual o DVR está conectado, por meio de um retificador não controlado em ponte e um transformador delta-estrela. Como conseqüência, para evitar o colapso de tensão durante *voltage sags*, uma limitação de carregamento do banco é introduzida por meio de resistores no lado retificador. Por outro lado, durante *voltage swells*, um conversor CC/CC controlado a PWM e resistores de descarga são acionados de modo a evitar sobretensão no barramento CC e satisfazer as especificações de tensão da carga.

Os DVRs não devem interferir na coordenação de proteção da carga. Assim, quando um curto-circuito ocorre no ramal de alimentação da carga, no intuito de proteger os dispositivos de eletrônica de potência e demais componentes internos ao equipamento, o DVR deve ser isolado do circuito sob falta. Portanto, chaves rápidas com estado sólido (chaves estáticas) e contadores normalmente fechados são colocados em paralelo com o enrolamento primário do transformador de injeção. Além disso, foi prevista a inclusão de disjuntores auxiliares para que possa ser feita substituição ou manutenção do DVR sem que haja a necessidade de interromper o funcionamento da carga. Na Figura 1 pode-se notar ainda transdutores de efeito Hall de corrente e de tensão (CT e VT, respectivamente) para controle e monitoramento.

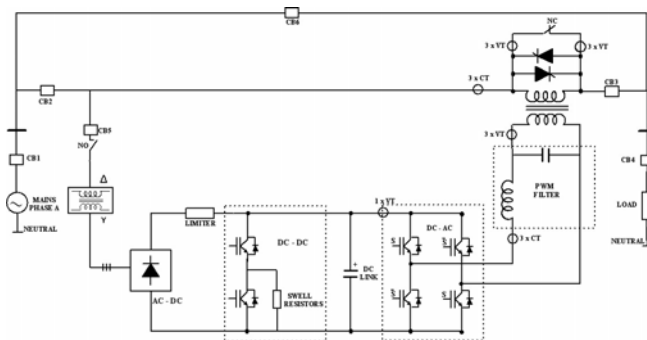


FIGURA 1– Diagrama unifilar do DVR

## 3.0 - DIMENSIONAMENTO DO DVR

### 3.1 Considerações Iniciais de Dimensionamento

O DVR previamente descrito pode compensar um *voltage sag* monofásico máximo para  $v_{sag 1\phi} = 0,5 pu$ , um *voltage sag* trifásico máximo para  $v_{sag 3\phi} = 0,65 pu$ , com máxima duração de  $\Delta t = 500ms$  para uma carga trifásica de potência aparente máxima  $S_{3\phi Load} = 10kVA$  e tensão de linha eficaz  $v_{L-L} = 220V$ . Assumindo o fator de potência da carga igual à unidade e que a tensão injetada está em fase com a tensão da rede, a máxima transferência de potência do DVR para a carga ocorre para o caso de máximo *voltage sag* trifásico, no qual a relação entre a potência aparente do DVR e a potência aparente da carga é  $S_{DVR}/S_L = 0,35$ .

### 3.2 Dimensionamento do Transformador e do Inversor

Considerando o lado da carga como primário e o lado do inversor como secundário do transformador de injeção, a relação de espiras é deduzida da relação entre os valores de pico da mínima tensão de saída do inversor, que é aproximadamente igual ao mínimo valor de tensão do barramento CC ( $v_{CCMIN}$ ), e da máxima tensão eficaz primária do DVR ( $v_{DVR}$ ):

$$\frac{N_S}{N_P} \cong \frac{v_{CCMIN}}{(1+k_L) \cdot \sqrt{2} \cdot v_{DVR}} \quad (1)$$

onde  $k_L$  é a queda de tensão no indutor em p.u. assumindo a tensão de inversor como base,  $N_P$  é o número de espiras do enrolamento primário e  $N_S$  é o número de espiras do enrolamento secundário. Escrevendo  $v_{DVR}$  em função do máximo afundamento de tensão de rede monofásico  $\alpha_{1\phi}$  obtém-se (2). A corrente do inversor é igual à corrente do secundário do transformador de injeção somada à corrente do capacitor de filtro (3):

$$\frac{N_S}{N_P} = \frac{v_{CCMIN}}{0,8165 \cdot v_{L-L} \cdot \alpha_{1\phi} \cdot (1+k_L)} \quad (2) \quad i_{inv} = \frac{0,8165 \cdot (1+k_C) \cdot (1+k_L) \cdot v_{L-L} \cdot i_{LOAD} \cdot \alpha_{1\phi}}{v_{CCMIN}} \quad (3)$$

onde  $k_C$  é a corrente do capacitor em p.u. considerando a corrente do inversor como base e  $i_{LOAD}$  é a corrente de carga. Multiplicando a corrente do inversor pela tensão de fase do inversor, a potência aparente trifásica do inversor pode ser escrita como:

$$S_{inv3\phi} = \frac{S_{3\phi load} \cdot \alpha_{1\phi} \cdot (1+k_C) \cdot (1+k_L)}{\gamma} \quad (4) \quad \gamma = \frac{v_{CCMIN}}{v_{CCMAX}}, \quad 0 \leq \gamma \leq 1 \quad (5)$$

onde  $\gamma$  é o máximo afundamento de tensão do barramento CC e  $v_{CCMAX}$  é a máxima tensão do barramento CC.

### 3.3 Dimensionamento do barramento CC

A energia do banco de capacitores do barramento CC é dada por:

$$\varepsilon = 1/2 \cdot C \cdot \Delta v_{CC}^2 \quad (6) \quad \varepsilon = 1/2 \cdot C \cdot v_{CCMAX}^2 \cdot (1-\gamma^2) \quad (7)$$

O dimensionamento do banco é baseado na máxima potência ativa injetada pelo DVR, o que ocorre o caso de máximo *voltage sag* trifásico (8), onde  $P_{load}$  é a potência ativa da carga e  $\alpha_{3\phi}$  é o máximo afundamento trifásico da tensão de rede. Substituindo (7) em (8), tem-se (9).

$$\varepsilon = P_{load} \cdot \alpha_{3\phi} \cdot \Delta t \quad (8) \quad C = \frac{2 \cdot P_{load} \cdot \alpha_{3\phi} \cdot \Delta t}{v_{CCMAX}^2 (1-\gamma^2)} \quad (9)$$

### 3.4 Projeto do Filtro de Saída

O filtro de PWM é projetado como um filtro passa-baixas de segunda ordem cuja frequência de ressonância está aproximadamente uma década abaixo da frequência de chaveamento e uma década acima da frequência fundamental. Admitindo  $k_L = 0,1$ ,  $k_C = 0,1$  e frequência fundamental  $f = 60Hz$ , fixando-se o valor da indutância de filtro em  $L_F = 3,947mH$  e frequência de chaveamento em  $f_{sw} = 10kHz$ , o capacitor de filtro PWM é igual a  $C_F = 6,417\mu F$ , o que satisfaz as condições de projeto acima especificadas.

### 3.5 Considerações Finais de Dimensionamento

Como pode ser notado de (1), (4) e (9), a relação do transformador de injeção, a potência aparente do inversor e a capacitância do barramento CC estão fortemente relacionados ao parâmetro  $\gamma$ . Por exemplo, a Figura 2 mostra que quanto menor o valor de  $\gamma$ , menor a capacitância do barramento CC (e conseqüentemente menor o tamanho do banco) e maior a potência aparente (KVA) do inversor. Ou seja, deve haver uma solução de compromisso que considere estas três variáveis.

Assumindo  $P_{load} = 10kW$ ,  $v_{CCMAX} = 350V$ ,  $\gamma = 0,7$ ,  $k_L = k_C = 0,1$ ,  $\alpha_{1\phi} = 0,5$ ,  $\alpha_{3\phi} = 0,35$  e  $v_{L-L} = 220V$  a relação de espiras do transformador de injeção é  $N_s/N_p \approx 2,50$ , a capacitância do barramento CC é  $C = 56mF$  e  $S_{inv3\phi} = 8,642kVA$ . A potência aparente de um transformador monofásico é  $S_{TR1\phi} = 1,67kVA$ .

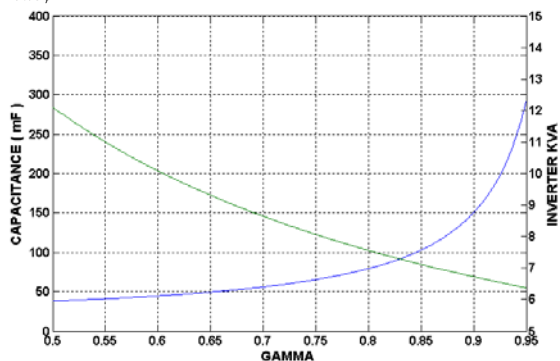


FIGURA 2 – Potência aparente do inversor e capacitância do barramento CC em função de  $\gamma$

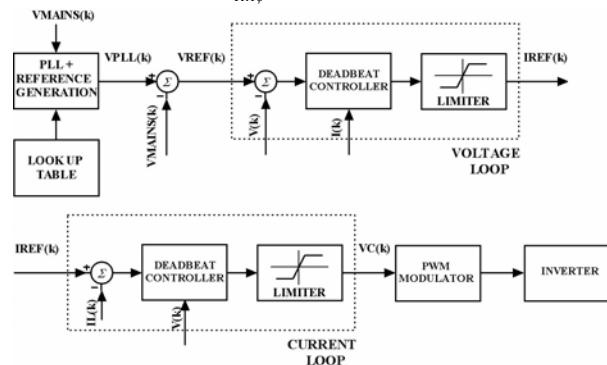


FIGURA 3 – Diagrama de blocos do controle do DVR

Como dito em [3], dependendo do instante em que o DVR inicia a correção e da carga do transformador, o fluxo concatenado pode atingir até duas vezes o seu valor nominal para o pior caso, ocasionando saturação do transformador. Deste modo, para evitar saturação, a potência aparente de cada transformador deve ser multiplicada por dois, resultando em  $S_{TR3\phi} = 3,33kVA$ . Esta solução é viável economicamente para DVRs de baixa potência [3]. Como o DVR proposto é projetado para compensar harmônicas de tensão em regime, ele sempre estará conectado à carga, exceto quando um curto-circuito ocorre na rede. A desvantagem deste modo de operação contínuo está basicamente nas perdas de chaveamento e condução no inversor. As principais vantagens residem no tempo de resposta, já que o DVR não entra em modo de espera. A escolha do modo de operação deve ser determinada essencialmente pela sensibilidade da carga, analisada na etapa de projeto do equipamento.

#### 4.0 - SISTEMA DE CONTROLE

##### 4.1 Algoritmo de controle

A Figura 3 mostra um diagrama de blocos simplificado do algoritmo de controle em tempo discreto do DVR. O algoritmo é essencialmente composto por três blocos: Geração de Referência e Phase Locked Loop (PLL), Malha de Tensão e Malha de Corrente. Na Figura 3, onde  $k$  é a  $k$ -ésima amostra, a tensão de referência do PLL  $v_{PLL}(k)$  é comparada à tensão de rede  $v_{mains}(k)$  para determinar a tensão de referência da malha de tensão  $v_{REF}(k)$ , ou seja, a tensão a ser sintetizada pelo inversor. Devido ao erro de estado estacionário ser nulo após um número determinado de períodos de amostragem, à simplicidade de projeto e implementação e à rápida resposta dinâmica, são adotados controladores digitais preditivos com resposta *deadbeat* para as malhas de controle do DVR. Entretanto, deve-se salientar que o emprego de um modelo razoável da planta é indispensável para o bom desempenho dos controladores [5], [6]. A saída do controlador de tensão fornece a corrente de referência do indutor de filtro  $i_{LREF}(k)$ . O controlador de corrente é responsável por rastrear a corrente de referência, forçando o erro a ser zero. Além disso, ele provê proteção de sobrecorrente, limitando a corrente do indutor de filtro. Finalmente, a saída da malha de corrente  $v_c(k)$  é a tensão de referência do modulador PWM.

##### 4.2 Geração de Referência e Phase-locked-loop (PLL)

A amplitude e ângulo de fase da tensão de referência  $v_{PLL}(k)$  são gerados por uma referência senoidal interna normalizada obtida de uma tabela de senos. A frequência de  $v_{PLL}(k)$  é dada pelo PLL. O PLL é baseado na detecção de cruzamento de zero da referência senoidal, de modo a gerar três sinais de sincronismo com a mesma frequência do sinal da rede. O algoritmo é implementado em um modelo de tempo discreto e consiste em forçar a primeira amostra do próximo período da tensão da rede a ser coincidente com o cruzamento por zero da referência interna de tensão  $v_{PLL}(k)$ , por meio da inserção de amostras igualmente espaçadas (Figura 4). Na primeira vez que o algoritmo é executado, ele detecta o primeiro cruzamento por zero da tensão de rede e calcula o ângulo de fase da referência. Da segunda detecção em diante, toda vez que um nova passagem por zero for detectada, um novo cálculo do período de amostragem  $\Delta(k)$  é feito, levando em conta o período anterior da

tensão da rede  $\Delta_{mains}(k-1)$ , o último número acumulado de amostras  $n'(k-1)$ , o número total de amostras por período de tensão de rede  $n$  e o erro de cruzamento de zero  $\Delta_{err}(k)$ , conforme (10):

$$\Delta(k) = \frac{\Delta_{mains}(k-1) - \Delta_{err}(k) - \Delta(k-1)}{2n - n'(k-1) - 1} \quad (10)$$

Deve-se notar que o cálculo de cruzamento de zero é baseado em uma interpolação linear, já que o sinal senoidal é aproximadamente linear na região próxima ao cruzamento de zero.

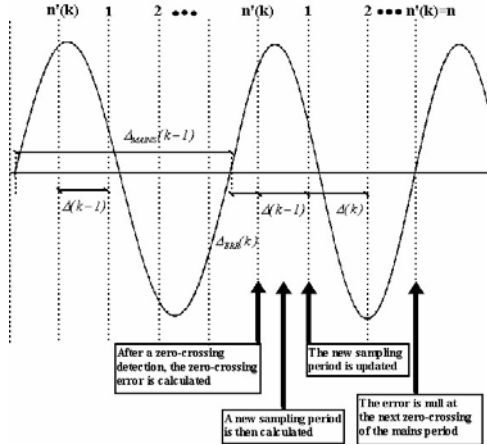


FIGURA 4 – Descrição gráfica do algoritmo de PLL

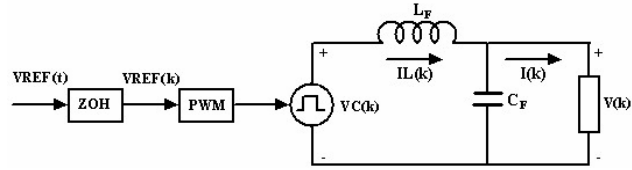


FIGURA 5– Modelo médio do inversor

Os algoritmos de PLL e geração de referência são aplicados apenas para a fase A (fase de referência). As referências de tensão para as demais fases (B,C) são calculadas deslocando-se um número definido de amostras de modo a obter um sistema trifásico equilibrado (compensação de desequilíbrios de tensão). A compensação de distorções harmônicas de tensão e de *voltage sags-swells* é implementada calculando-se  $v_{REF}(k)$ .

#### 4.3 Malhas de Tensão e de Corrente

Considerando o modelo médio da Figura 5, o inversor é representado por uma fonte de tensão controlada. Para manter a tensão do inversor e corrente de carga constantes entre dois períodos de amostragem [6], um amostrador de ordem zero é modelado para a tensão de referência do PWM. Assumindo que a frequência de amostragem é muito maior que a frequência de ressonância do filtro LC de saída, as equações dinâmicas em tempo discreto do sistema de controle são:

$$x(k+1) = \Phi \cdot x(k) + \Gamma_1 \cdot v_{REF}(k) + \Gamma_2 \cdot i(k) \quad (11) \quad y(k) = D \cdot x(k) \quad (12)$$

$$\Phi = \begin{bmatrix} 1 & \Delta/C_F \\ -\Delta/L_F & 1 \end{bmatrix}, \Gamma_1 = \begin{bmatrix} \Delta/C_F \\ 0 \end{bmatrix}, \Gamma_2 = \begin{bmatrix} 0 \\ \Delta/L_F \end{bmatrix}, D = [1 \ 0], x(k) = \begin{bmatrix} v(k) \\ i_L(k) \end{bmatrix} \quad (13)$$

onde  $v(k)$  é a  $k$ -ésima tensão de saída no lado do inversor,  $i_L(k)$  é a  $k$ -ésima corrente de indutor de filtro e  $i(k)$  é a  $k$ -ésima corrente de carga no lado do inversor. Rearranjando (11), (12) e (13), as malhas de tensão e corrente são descritas por (14) e (15), respectivamente:

$$v_C(k) = \frac{i_L(k+1) - i_L(k)}{\Delta} \cdot L_F + v(k) \quad (14) \quad i_{LREF}(k) = \frac{v(k+1) - v(k)}{\Delta} \cdot C_F + i(k) \quad (15)$$

A estratégia de controle consiste em forçar os erros de corrente e de tensão a serem iguais a zero no final do próximo período de amostragem, ou seja:

$$i_L(k+1) = i_{LREF}(k) \quad (16) \quad v(k+1) = v_{REF}(k) \quad (17)$$

Substituindo (16) em (14), considerando a tensão de saída como uma perturbação na malha de corrente e aplicando a transformada discreta  $z$  à equação resultante, os pólos em malha fechada da malha de corrente no plano- $z$  são [7]:

$$z_{1,2} = \frac{1}{2} \pm \frac{j}{2} \sqrt{4\alpha - 1} \quad (18)$$

onde  $\alpha$  é uma constante que representa a variação do parâmetro indutância de filtro modelada. Como pode ser visto em (18), a resposta do controlador de corrente não é do tipo *deadbeat*, já que os pólos em malha fechada não estão na origem. Além disso, se  $\alpha = 1$ , uma oscilação de baixa frequência igual a  $1/6$  da frequência de amostragem estará presente na corrente de indutor de filtro [7], mas de acordo com a definição clássica de estabilidade, o sistema não é instável. Como consequência, deve-se atentar para o projeto do filtro de saída PWM, considerando a dessintonia do filtro como opção para evitar ressonâncias indesejáveis.

Como um número fixo de amostras por ciclo de rede é adotado [4], para que o sincronismo seja atingido, a frequência de amostragem do sistema, que é igual à frequência de chaveamento, deve ser variada. Na realidade, isto não muda a relação entre a frequência amortecida e de chaveamento da malha de corrente ( $1/6$ ), mas a resposta dinâmica do controlador é mais lenta.

## 5.0 - RESULTADOS DE SIMULAÇÃO

O sistema de controle do DVR foi simulado no PSIM (v.5.01) para um *voltage sag* bifásico para 58% (tensão de rede remanescente) com 17,5% de corrente de carga nominal, carga resistiva e parâmetros da Tabela 1. Os valores da indutância de filtro, da frequência de chaveamento e da capacitância de filtro foram modificados durante o desenvolvimento de projeto, diferindo daqueles calculados no item 3.4. O bloco de PLL e geração de referência foi representado por uma fonte de tensão senoidal de 60Hz. As Figuras 6 e 7 mostram a tensão de rede e de carga, respectivamente.

TABELA 1 – Parâmetros de simulação do DVR

Amplitude da tensão de fase fundamental (60Hz)	127V <sub>EF</sub>	PARÂMETROS DO TRANSFORMADOR SÉRIE	
Porcentagem de corrente de carga	17,5%	Relação de espiras (Ns/Np)	2,51
Tensão de barramento CC	350V	Indutância de dispersão primária*	0,0667 mH
Indutância do filtro de saída	5mH	Indutância de dispersão secundária*	0,1234 mH
Capacitância do filtro de saída	7,5µF	Indutância de magnetização	3,8411H
Frequência de chaveamento	6667kHz	Resistância do primário*	56,6mΩ
Conteúdo Harmônico da tensão de rede	3 <sup>a</sup> (4%); 5 <sup>a</sup> (3,7%); 9 <sup>a</sup> (1,25%)	Resistância do secundário*	44,24m Ω

\*Grandezas referidas ao primário

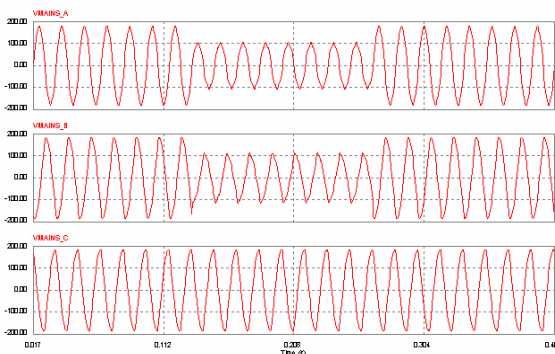


FIGURA 6 – Voltage sag bifásico para 58% (simulação), tensões de rede. Fase A (superior), fase B (centro), fase C (inferior)

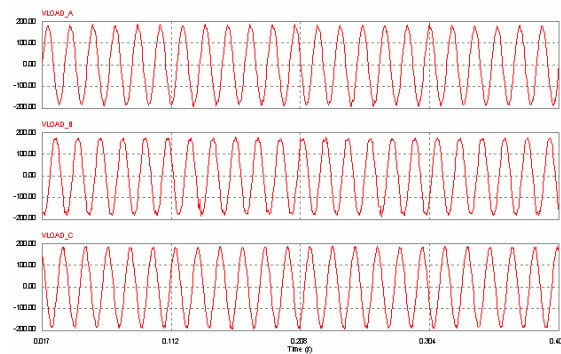


FIGURA 7 – Voltage sag bifásico para 58% (simulação), tensões de carga. Fase A (superior), fase B (centro), fase C (inferior)

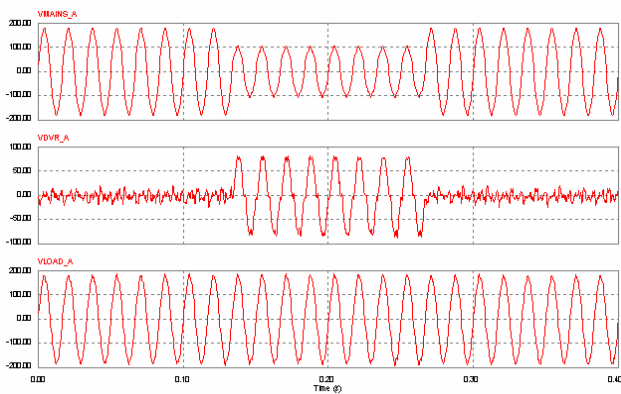


FIGURA 8 – Voltage sag bifásico para 58% (simulação). Tensão de rede (superior), Tensão injetada pelo DVR (centro), Tensão de carga (inferior)

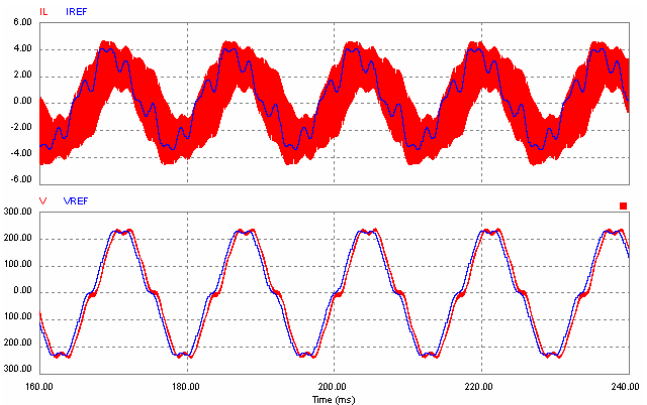


FIGURA 9 – Malhas de controle durante voltage sag para 50% (simulação). Corrente de referência (superior azul), Corrente de indutor (superior vermelho), Tensão de referência do capacitor de saída (inferior azul), Tensão do capacitor de saída (inferior vermelho)

A tensão injetada pelo DVR pode ser vista na Figura 8 (centro). É importante salientar que em regime o DVR compensa distorção harmônica de tensão com baixa injeção de potência ativa se comparado ao intervalo de duração de voltage sag da Figura 8. Na Figura 9 o comportamento das malhas de controle de corrente e de tensão é mostrado. Observa-se que os controladores têm bom desempenho no rastreamento dos sinais de referência, seja para a situação na qual há distorção harmônica de tensão de rede, ou para níveis baixos de corrente de carga, na qual o ripple da corrente de indutor de filtro é considerável. Entretanto, melhorias no sistema de controle estão em estudo.

## 6.0 - Resultados experimentais

O algoritmo de controle foi implementado em um DSP de ponto fixo de 16-bits da Analog Devices (adsp21992) no protótipo de 5-kva/220v da figura 10. O protótipo foi testado com os parâmetros da Tabela 1 para um *voltage sag* bifásico para 58%. *Voltage sags* foram gerados utilizando resistores de 0,05 p.u. Em série no circuito da rede e pela inserção de resistores em paralelo de 0,075 p.u. Durante *voltage sags*, tomando como base a tensão de fase da carga e a corrente de carga. A tensão injetada durante um *voltage sag* e em regime para a fase a pode ser vista na Figura 11. As Figuras 12 e 13 mostram as tensões de rede e de carga, respectivamente, obtidas por meio de pontas diferenciais de tensão.



FIGURA 10 – Protótipo de 5kVA/220V do Mini-DVR

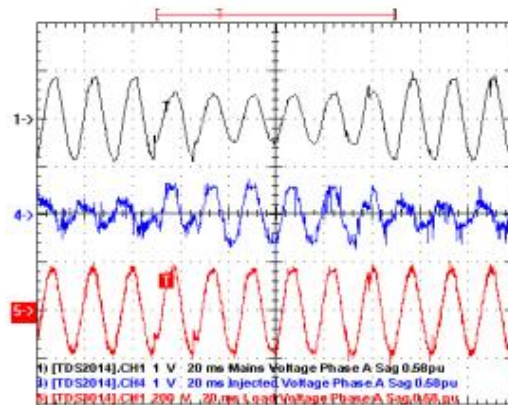


FIGURA 11 – Voltage sag bifásico para 58% (medido). Tensão de rede (superior), Tensão injetada pelo DVR (centro), Tensão de carga (inferior)

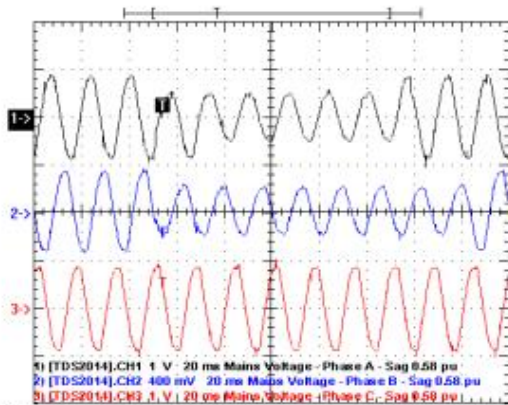


FIGURA 12 – Tensões de Rede – Voltage sag bifásico para 58% (medido). Fase A (superior), Fase B (centro), Fase C (inferior)

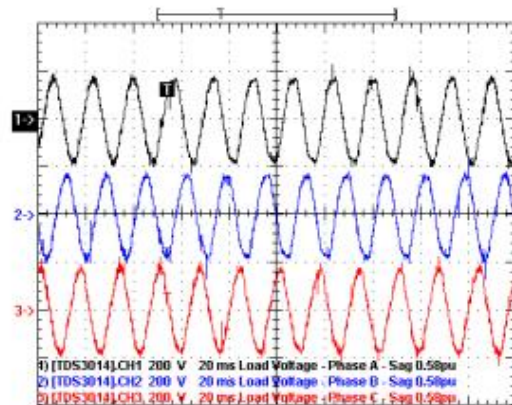


FIGURA 13 – Tensões de Carga – Voltage sag bifásico para 58% (medido). Fase A (superior), Fase B (centro), Fase C (inferior)

## 7.0 - CONCLUSÕES

Este artigo apresentou o projeto simplificado e os requisitos de potência de um Restaurador Dinâmico de Tensão de baixa potência (DVR), o qual compensa distorção harmônica de tensão e *voltage sags/swells*. Os algoritmos de controle foram analisados por meio de simulação e implementados em um Processador Digital de Sinais (DSP). Finalmente, resultados experimentais de um protótipo de 5-kVA/220V foram apresentados de modo a validar a modelagem proposta.

## 8.0 - REFERÊNCIAS BIBLIOGRÁFICAS

- (1) "IEEE recommended practices for monitoring electric power quality", IEEE Std.1159-1995.
- (2) SULLIVAN, M.J., VADELL, T., JONHNSON, M., "Power interruption costs to industrial and commercial consumers of electricity" *IEEE Transactions on Industry Applications*, vol.33, pp.1448-1458, Nov/Dec 1997.
- (3) FITZER, Chris, et al. "Mitigation of Saturation in Dynamic Voltage Restorer Connection Transformers", *IEEE Transactions On Power Electronics*, Vol. 17, no. 6, November 2002.
- (4) JUNQUEIRA, A.D., KOMATSU, W., MATAKAS Jr., L., "Digital Implementation of Three-Phase Rectifier with Deadbeat Controller" em *Revista de Eletrônica de Potência da Sobraep*, vol.7, no.1, Novembro 2002, Brazil.
- (5) MALESANI, L, MATTAVELLI, P., and BUSO, S., "Robust Deadbeat Current Control for PWM rectifiers and Active Filters", in *IEEE Transactions on Industry Applications*, vol.35, no.3, pp.613-620, May-Jun- 1999.
- (6) MATTAVELLI, P., and BUSO, S., "Uninterruptible Power Supply Multi-Loop Control Employing Digital Predictive Voltage and Current Regulators", in *IEEE Transactions on Industry Applications*, vol.37, no.6, pp.1846-1854, Nov-Dec 2001.
- (7) JUNQUEIRA, A.D., "Retificador Tifásico de Alto Fator de Potência", Dissertação de Mestrado, PEA/ EPUSP, São Paulo, Brasil, 2004.