

Bancada e Circuito em FPGA para Teste e Validação de um Sistema de Regulação Remota Embarcado em um Regulador de Tensão de Redes de Distribuição

José Alberto Nicolau de Oliveira, Manoel Firmino de Medeiros Jr e André Luiz Abreu de Araújo

Resumo – Este artigo apresenta a bancada de teste e o circuito implementado em FPGA, para teste e validação laboratorial de um sistema para embarque de um algoritmo para regulação remota, em bancos trifásicos de reguladores de tensão. Considerando o fato de que nos bancos trifásicos são usados reguladores monofásicos, a bancada de teste e o circuito implementado em FPGA possibilitam a regulação de um regulador monofásico. O circuito desenvolvido implementa uma regulação remota dos nós a jusante do banco regulador, baseada na análise de parâmetros de sensibilidade de tensão, nos nós a regular.

Palavras-chave – Reguladores de tensão, FPGA, Parâmetros de sensibilidade, Redes de distribuição, VHDL.

I. INTRODUÇÃO

Os benefícios da utilização de reguladores de tensão em sistemas de distribuição de energia elétrica para melhorar o perfil de tensão são evidentes. Entretanto, alguns aspectos importantes da operação dos reguladores devem ser observados, como por exemplo, o aumento nas perdas ativas e o aumento da demanda de consumidores caracterizados por impedância constante, quando da melhoria do perfil de tensão. Esses aspectos são convenientemente considerados através do cálculo trifásico de fluxo de carga, que é utilizado como base para um processo de otimização. Outro aspecto importante que precisa ser considerado diz respeito ao crescimento das cargas do sistema, ao longo dos anos (previsão de mercado). A melhor adequação de circuitos de distribuição ao horizonte considerado é difícil de prever. Dessa forma, toda a análise dos benefícios causados pelo regulador é realizada para uma configuração estática de cargas, considerando no máximo a sua variação ao longo do dia. Assim, os ajustes definidos para o regulador, mesmo através de proces-

sos de otimização e cálculo exato de fluxo de carga, vão se deteriorando, à medida que as cargas do sistema vão crescendo e que novas cargas vão sendo ligadas à rede. Além disso, desbalanceamentos indesejados podem ocorrer, requerendo periodicidade de revisões nos ajustes que foram definidos, quando da instalação dos reguladores

O projeto que resultou neste artigo teve por objetivo: desenvolver uma plataforma de software embarcada para automação e controle, em tempo real, de equipamentos de distribuição de energia elétrica; desenvolver um núcleo de propriedade intelectual (*ip core*) capaz de prover a regulação adequada de tensão em redes de distribuição de energia elétrica e que dispense o uso dos Compensadores de Queda de Linha – LDC, presentes nos atuais reguladores de tensão; implementar um circuito para embarque, em reguladores de tensão, que incorpore o núcleo de propriedade intelectual proposto, um Sistema Operacional em Tempo Real (RTOS) estável, com ferramentas de armazenamento e de comunicação de dados e que permita a incorporação de novos módulos de propriedade intelectual; implementar uma bancada de teste capaz de embarcar o circuito proposto em um regulador de tensão, disponibilizado pela COSERN, de maneira a testar a eficácia do sistema.

Neste artigo apresentam-se os principais objetivos alcançados no desenvolvimento do projeto de P&D: a plataforma para embarque de hardware implementada, o módulo de ajuste de tensão desenvolvido com base nos parâmetros de sensibilidade de tensão dos nós a jusante do banco regulador e, principalmente, a bancada de testes criada para atuação do sistema em tempo real, bem como as implementações adicionais em hardware reconfigurável, realizadas em FPGA, que viabilizaram os testes e as validações laboratoriais do sistema proposto.

Na seção II, apresenta-se o desenvolvimento da pesquisa, sendo: na subseção A, a formulação teórica que norteou o desenvolvimento do sistema; na subseção B, uma GUI, implementada no Matlab, que permitiu validar a teoria de ajuste; na subseção C, a descrição da plataforma alvo para embarque do módulo de ajuste de tensão e, na subseção D, a descrição do módulo de ajuste de tensão para um banco regulador trifásico.

Na seção III apresenta-se a bancada de teste, construída para testes e validações do sistema proposto, bem como as

Este trabalho foi desenvolvido no âmbito do Programa de Pesquisa e Desenvolvimento Tecnológico do Setor de Energia Elétrica regulado pela ANEEL e consta dos Anais do VI Congresso de Inovação Tecnológica em Energia Elétrica (VI CITENEL), realizado em Fortaleza/CE, no período de 17 a 19 de agosto de 2011.

Este trabalho foi apoiado integralmente pela Companhia Energética do Rio Grande do Norte - COSERN.

José Alberto Nicolau de Oliveira e Manoel Firmino de Medeiros Jr. trabalham na Universidade Federal do Rio Grande do Norte - UFRN (e-mails: nicolau@ufrnet.br; firmino@dca.ufrn.br).

André Luiz Abreu de Araújo trabalha na COSERN (e-mail: andre.araujo@cosern.com.br).

modificações impostas no circuito em FPGA, que viabilizam a realização dos testes. Por fim, na seção IV, serão apresentadas as conclusões, bem como os benefícios que poderão advir da pesquisa. Sugerem-se ainda algumas proposições de desenvolvimento futuro, as quais, poderão viabilizar o sistema implementado, em protótipo, ser absorvido pela indústria de fabricação de reguladores.

O projeto de pesquisa que originou este artigo, de código ANEEL 0040-003/2007, intitulou-se “Desenvolvimento de Circuito para Embarque de um Algoritmo para Regulação Remota em Reguladores de Tensão de Redes de Distribuição”, tendo sido executado por pesquisadores da UFRN, no âmbito da instituição, e teve o integral suporte financeiro da Companhia Energética do Rio Grande do Norte, a COSERN.

II. DESENVOLVIMENTO DA PESQUISA

Considerando os objetivos do projeto e o seu aspecto inovador, a metodologia adotada envolveu várias etapas.

Numa primeira etapa, foi buscado o domínio do conhecimento científico e tecnológico do estado da arte atual dos reguladores de tensão. Para tal foram desenvolvidas as atividades de: pesquisa bibliográfica; análise dos blocos funcionais que compõem os atuais reguladores de tensão; análise dos módulos de controle e dos protocolos disponíveis para comunicação de dados; análise dos métodos adotados para ajuste de tensão.

Numa segunda etapa, foram exaustivamente estudados os novos paradigmas de projetos baseados em plataformas e para tal foram feitas: análises e definição de plataforma de embarque para equipamentos usados em distribuição de energia elétrica; estudos de barramentos e definição de um barramento padrão para a plataforma de embarque; definição dos blocos funcionais básicos que iriam compor a plataforma, com base na definição do barramento padrão e; a proposição final da plataforma.

A terceira etapa foi totalmente voltada ao desenvolvimento do módulo de ajuste de tensão e constou: da análise de redes de distribuição do sistema COSERN, com reguladores de tensão instalados, através da execução de cálculos de fluxo de carga, usando o método da soma de potências [1], os quais definiram as condições iniciais de implementação das redes e os seus comportamentos operacionais; do desenvolvimento do algoritmo de ajuste com base no cálculo de parâmetros de sensibilidade entre grandezas da linha de distribuição; do desenvolvimento e da implementação de uma interface gráfica amigável, em MatLab, que permitiu a análise do algoritmo proposto; do desenvolvimento em ambiente Simulink, a partir do uso de blocos funcionais disponibilizados pelo DSP Builder da Altera, de uma plataforma de simulação que permitiu a verificação do algoritmo em operação em tempo real e, por fim; da descrição do módulo de ajuste em VHDL (Very High Speed Integrated Circuits Hardware Description Language).

Na quarta etapa foi desenvolvida e implementada a plataforma de embarque constando: do seu desenvolvimento a partir de uma plataforma de prototipagem rápida; da sua descrição em VHDL; da simulação, através de ferramentas disponibilizadas no ambiente de prototipagem rápida utili-

zado; da prototipagem em FPGA; dos testes em operação de tempo real; das análises de área de chip, velocidade de processamento e potência consumida pela plataforma e pelo *ip core*.

A última etapa foi dedicada à construção de uma bancada de testes para embarque do sistema desenvolvido em um regulador de tensão, disponibilizado pela Companhia Energética do Rio Grande do Norte - COSERN, sendo para tal, necessário o desenvolvimento de módulos adicionais em FPGA para adequação dos níveis de sinais amostrados da rede e fornecidos ao FPGA.

A. Formulação teórica norteadora do desenvolvimento do projeto

A crescente solicitação de qualidade nos serviços de fornecimento de energia elétrica impõe, às companhias concessionárias de energia elétrica, investimentos em projetos de desenvolvimento que possam vir garantir essa qualidade. Um dos principais índices de avaliação dessa qualidade de energia é o nível de fornecimento de tensão regulada no ponto de entrega de cada consumidor.

A fim de assegurar a qualidade de tensão desejada, as companhias de distribuição de energia elétrica optam por incluir equipamentos reguladores de tensão ou bancos de capacitores ao longo da rede de distribuição. Em [2], mostra-se que, para longos períodos de vida útil, o regulador de tensão apresenta-se, economicamente, como a melhor alternativa. No entanto, a localização desses equipamentos e em destaque a dos reguladores de tensão [2], [3], é fortemente dependente da topologia da rede e até pouco tempo atrás, era orientada por exaustivas análises de fluxo de carga, considerando regras cotidianas previsíveis e mudanças sazonais de carregamento.

O sistema desenvolvido se baseou em estudos realizados em sistemas típicos de distribuição de energia elétrica. Após várias análises de fluxo de carga, realizadas em alimentadores reais, constatou-se que uma variação na tensão de saída de um regulador se reflete, linearmente, para todos os nós localizados a sua jusante, para condições fixas de carga e que; para uma condição fixa de *tap* do regulador, as tensões nos nós a sua jusante, também variam linearmente, para excursões de carregamento no intervalo usual da curva de carga diária. Tais observações [4] levaram à conclusão de que é possível controlar, em tempo real, a tensão de regulação, em qualquer ponto desejado, a partir do embarque dos coeficientes das funções que definem, para cada nó, essas linearizações [4]-[6]. A função que define, para cada nó, a jusante do regulador, uma variação de tensão no ponto de regulação será dada por (1).

$$\Delta V_j = \frac{\partial V_j}{\partial V_i} \Delta V_i + \frac{\partial V_j}{\partial f_{cj}} \Delta f_{cj} \quad (1)$$

Sendo: V_j a tensão regulada no nó j ; V_i a tensão de saída do regulador e f_{cj} o fator de carregamento do nó j .

Monitorando-se a tensão de saída do regulador através da medição da tensão fornecida pelo TP, será possível então

obter o valor da tensão de saída (V_i^{med}) e estimar a tensão no ponto de regulação (V_j^{est}) de acordo com (2).

$$V_j^{est} = V_j^{ant} + \frac{\partial V_j}{\partial V_i} (V_i^{med} - V_i^{ant}) \quad (2)$$

Sendo: V_j^{ant} a tensão de regulação no nó j anterior à variação; V_i^{ant} a tensão na saída do regulador anterior à variação e; V_i^{med} a tensão na saída do regulador após a variação.

Com base nesses estudos, desenvolveu-se um sistema para simular o comportamento de reguladores monofásicos de tensão [7]. Posteriormente um novo simulador foi desenvolvido para avaliar o comportamento de bancos reguladores trifásicos [8], [9]. O uso desses simuladores foi de grande importância para se aferir o comportamento de sistemas reguladores de tensão nos sistemas de distribuição. A partir do uso desses simuladores foi possível caracterizar, para um alimentador de distribuição, parâmetros e restrições de regulação, estimar os ajustes necessários de tensão bem como de simular variações de carga e de tensão.

O algoritmo desenvolvido, posteriormente embarcado em um FPGA, num projeto orientado a plataforma, pode ser aplicado para sistemas de distribuição trifásicos reais, desequilibrados, que utilizem bancos reguladores trifásicos, construídos com reguladores monofásicos, em configuração Estrela Aterrada, em Delta Fechado ou em Delta Aberto. Estes últimos, usados com frequência pelas companhias de distribuição de energia elétrica.

B. GUI para simulação e validação do algoritmo de ajuste de tensão em um banco regulador trifásico

Com o objetivo de validar o algoritmo de ajuste da tensão de regulação apresentado na subseção anterior, com o uso de parâmetros de sensibilidade, foram desenvolvidas interfaces gráficas de usuário (GUI). Uma para verificar a atuação de um regulador de tensão monofásico e outra para verificar a atuação de um banco regulador trifásico, ambas, no ambiente de programação do MatLab®. Através destas interfaces gráficas foi possível: caracterizar alimentadores, parâmetros de reguladores e restrições de regulação; visualizar valores de ajuste de regulação; simular variações de carga e de tensão; visualizar graficamente o perfil de tensão atual, o perfil de tensão estimado para um novo *tap* e o seu distanciamento para o perfil onde estão fixadas as tensões limites ou restrições.

O algoritmo executado através da GUI, mostrada na Figura 1, implementa, para cada tensão de linha ou de fase, os seguintes procedimentos: monitora a tensão de saída do regulador até que seja percebida uma variação de tensão superior a um degrau de tensão; estima a tensão de saída do regulador para que a condição anterior à variação seja obtida; verifica quantos degraus, em relação à posição atual do *tap*, devem ser elevados ou rebaixados para alcançar este objetivo, considerando um degrau a menos quando o valor for igual ou inferior a 50% de um degrau; analisa os impactos dessas mudanças de *tap* no perfil de tensão do alimentador; envia comando para mudança final de *tap*, caso nenhuma restrição tenha sido violada ou redimensiona a mudança de

tap e volta a fazer a análise dos impactos causados por esta mudança; redefine o perfil de tensão da rede e; volta a monitorar a tensão de saída do regulador.

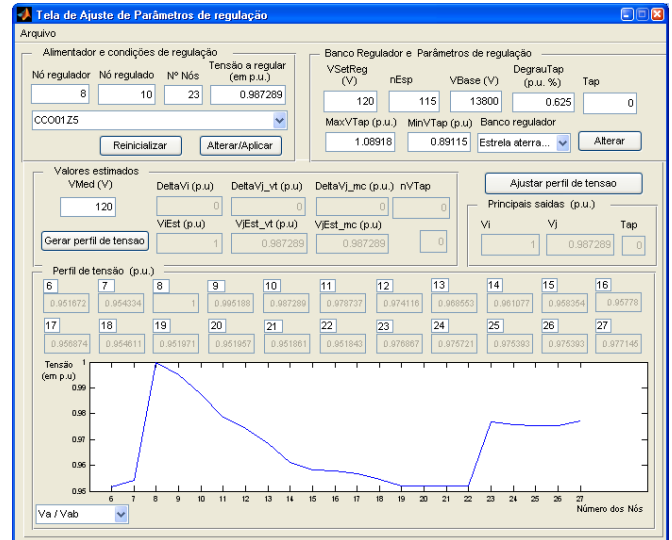


Figura 1. Tela principal da GUI para simulação do algoritmo de ajuste de tensão.

Na Figura 1, que caracteriza a tela de entrada do sistema desenvolvido para simulação do algoritmo de ajuste de tensão, estão representados os dados de entrada e de saída correspondentes de um alimentador com um regulador posicionado na posição 8. Na parte inferior da GUI é observado o perfil de uma das tensões de linha (ou de fase) antes da atuação do banco regulador.

C. Definição da plataforma de embarque

Uma das etapas previstas para o projeto de P&D foi a definição de uma plataforma de hardware [10]-[12], programável, que permitisse o embarque de um sistema em tempo real para monitoração, automação e controle de equipamentos reguladores de tensão usados em sistemas de distribuição de energia elétrica.

A priori, tal plataforma deveria embarcar um *ip core* (núcleo de propriedade intelectual - módulo funcional em lógica reutilizável) e um RTOS (sistema operacional em tempo real) estável para ajustar as tensões de saída de bancos reguladores trifásicos, utilizados em sistemas de distribuição, com desequilíbrio de cargas.

Em sua definição, considerando que a plataforma irá monitorar e controlar equipamentos de potência usados nos sistemas de distribuição, ela foi dividida em dois módulos: um de Potência e outro de Controle, mostrados na Figura 2. O primeiro módulo se constitui de circuitos de interface de sinais analógicos, provenientes dos reguladores, para sinais digitais, a serem fornecidos à unidade de controle e, de circuitos de interface de sinais digitais, provenientes da unidade de controle, para sinais analógicos, a serem usados na atuação dos *taps* dos reguladores de tensão.

A Unidade de Potência será composta especificamente de duas interfaces: uma primeira, que recebe sinais analógicos de tensão, em 120 V, provenientes dos TP e os converte em sinais analógicos de 0 a 5 V ou de 0 a 3,3 V, para serem

convertidos em sinais digitais e manipulados pelo módulo de controle (designada de Interface TP/Microcontrolador); e uma segunda, que recebe sinais digitais do módulo de controle e os direciona para controle da chave seletora, responsável pelas mudanças de taps dos reguladores de tensão.

A Unidade de Controle se constitui de um Microcontrolador PIC, fabricado pela Microchip, e de um sistema microprocessado, em lógica reconfigurável, desenvolvido em um FPGA (Field Programmable Logic Array). O sistema em FPGA está baseado em uma plataforma centrada em um barramento Avalon Switch Fabric, da Altera, e incorpora: uma unidade central (CPU NIOS II); uma unidade de memória interna (RAM); duas unidades de interfaces paralelas, designadas de Porta de Entrada de dados (PIO_E) e de porta de Saída de Dados (PIO_S) e; de um Núcleo de Ajuste de Tensões.

Como meio de comunicação adicional, para programação e testes da plataforma através de um computador pessoal, foi incorporada uma interface serial JTAG.

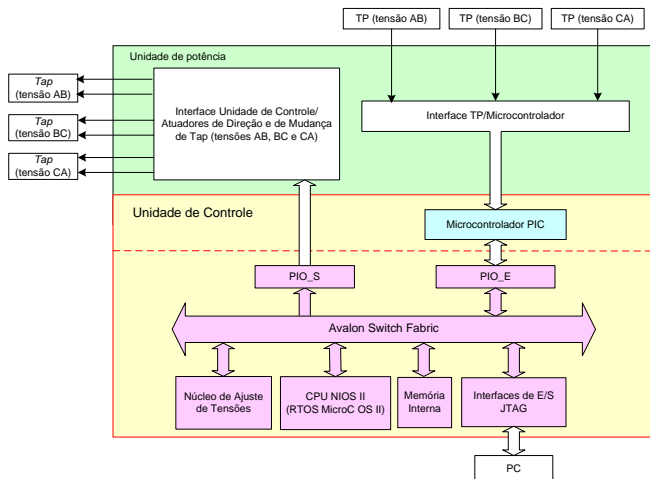


Figura 2. Diagrama de blocos da plataforma alvo definida

A plataforma foi idealizada de tal forma que será permitida a incorporação de novos módulos IP, ou seja, possibilitará a implementação de outros circuitos embarcados, os quais poderão promover novas funcionalidades à plataforma. No projeto da plataforma destacam-se os blocos funcionais descritos a seguir.

A Interface TP/Microcontrolador que recebe os sinais analógicos dos Transformadores de Potencial (Tensões AB, BC e CA), os converte em sinais de tensões entre 0 e 5 V ou entre 0 e 3,3 V e os envia ao microcontrolador PIC.

O Microcontrolador PIC (Controlador de Interface Periférica) [13] recebe os sinais de níveis de tensão (0 e 5 V ou 0 e 3,3 V) do TP/Microcontrolador, os converte em sinais digitais, calcula os valores eficazes das tensões recebidas e os envia através da porta de entrada/saída PIO_E.

A PIO_E é uma porta paralela de entrada e saída responsável pela transferência bidirecional de dados digitais entre o Microcontrolador PIC e o barramento Avalon.

O Avalon Switch Fabric, foi o meio de comunicação utilizado para todas as transferências de dados do módulo de controle: Núcleo de Ajuste de tensão, CPU NIOS II, memória Interna e Interfaces de entrada/saída. Embora de arquitetura

simples, de barramento único, o Avalon Switch Fabric, é um barramento de alta performance, específico para a família de processadores NIOS e de periféricos reconfiguráveis da Altera, programáveis em SOPC (Sistema Programável em um Chip) [14].

A CPU NIOS II, além das tarefas de processamento comuns a uma unidade processadora, incorpora um RTOS (Sistema em tempo real), o MicroC OS II (sistema muito eficiente para operações em tempo real crítico, seguro a falhas e, principalmente, com porta para o barramento Avalon) [15]. A CPU NIOS II processa a informação fornecida pelo Microcontrolador PIC, através do PIO_E e do barramento Avalon, recebe informações de ajuste de taps enviadas pelo algoritmo de controle desenvolvido em hardware no Núcleo de Ajuste de Tensões e retorna respostas de atuação com previsibilidade de tempo.

O Núcleo de Ajuste de Tensões, principal módulo da plataforma descrita executa os seguintes procedimentos: recebe através do barramento Avalon os dados gerados no Microcontrolador PIC, equivalentes aos valores eficazes das tensões amostradas nos TP; executa um algoritmo de ajustes de tensões e; envia como resultado, para a CPU NIOS, os valores de ajuste dos taps dos reguladores monofásicos, constituintes do banco regulador trifásico, ligados às tensões de linha AB, BC e CA.

O algoritmo de ajuste, que foi implementado no Núcleo de Ajuste de Tensões, primeiramente monitora a tensão dos TP (Tensões AB, BC e CA) até perceber uma variação de tensão superior a um degrau de tensão; depois calcula a tensão de saída do regulador para que a condição anterior à variação seja obtida e estima os degraus, com base na posição atual do tap, a elevar ou rebaixar; analisa o impacto que uma mudança de tap fará no perfil de tensão do alimentador e finalmente envia o comando para uma mudança de tap redefinindo o perfil de tensão da rede.

A memória interna RAM é usada para armazenamento das variáveis temporárias, usadas pelo sistema operacional e pelo algoritmo de ajuste de tensões.

A PIO_S é a unidade responsável pela manutenção dos sinais de atuação dos taps dos reguladores, fornecidos, através do Avalon Switch Fabric, gerados pelo Núcleo de Ajuste de Tensões e aplicados diretamente aos atuadores de direção e de mudança de tap do módulo de potência.

D. Programação do Microcontrolador PIC

O programa escrito para o microcontrolador PIC teve como principais objetivos: controlar as amostras das tensões instantâneas entre as fases A, B e C (v_{AB} , v_{CA} e v_{BC}), nesta ordem; converter os valores amostrados, analógicos, em valores digitais; calcular o somatório das tensões de linha amostradas durante intervalos consecutivos equivalentes a 8,33 ms cada; disponibilizar, como saída de dados, o somatório do quadrado das tensões calculado; gerar um sinal de pedido de interrupção, ao final de cada cálculo do somatório do quadrado das amostras de tensões, após cada meio-ciclo, requisitando que a CPU NIOS[®] II execute uma leitura de dados.

O cálculo do somatório das tensões instantâneas permite que a comunicação Microcontrolador PIC com a CPU NIOS® II só venha a ocorrer em um tempo de aproximadamente 11,11 ms (8,33 ms + 8,33/3 ms) e que o tempo de execução de qualquer programa crítico na CPU NIOS® II seja otimizado (não sendo nunca inferior a 3 x 11,11 ms = 33,33 ms, que é o tempo limite para cada 3 conjuntos de amostras consecutivas por meio-ciclo), ao mesmo tempo em que simplifica o cálculo do valor *rms* de cada tensão de linha, dado por (3).

$$V_{rms} = \sqrt{\frac{1}{N} \sum_{i=1}^N \int_{T_1}^{T_2} v_i^2} \quad (3)$$

A complementação do cálculo do valor *rms* da tensão pode ser feita, por software, pela CPU NIOS® II ou, como no caso do circuito para teste de bancada, a ser mostrado na seção III, implementado diretamente em hardware reconfigurável.

Para a conversão analógica/digital considerou-se que a tensão de entrada do Microcontrolador PIC equivaleria a uma excursão máxima da tensão de linha de 537,4 V (igual ao valor de pico de um sinal de tensão de 380 Vrms). Considerou-se ainda que a entrada de tensão do PIC equivaleria a um valor digital igual a 1.023 (1111111112 ou 0x3FF), já que o conversor do Microcontrolador é de 10 bits.

Para cada meio-ciclo realizaram-se 122 amostras. Esse número de amostras foi definido dividindo-se o tempo de meio-ciclo (8,33ms) pelo tempo requisitado pelo conversor A/D do microcontrolador PIC, para fazer uma conversão. Este tempo é de 68 μs quando se utiliza como fonte de clock um cristal de 4 MHz (8,33 x 10⁻³ / 68 x 10⁻⁶). Ao final de cada amostragem a palavra de 10 bits, correspondente à tensão na entrada do conversor, é elevada ao quadrado e somada aos valores obtidos nas amostragens anteriores. Após as 122 amostras, obtêm-se um valor com no máximo 27 bits, o qual é disponibilizado através das portas de saída do Microcontrolador PIC.

E. Implementação do Núcleo de Ajuste de Tensões

Como forma de testar o algoritmo de controle da tensão de regulação, mais próxima de uma implementação em tempo real, implementou-se, na plataforma Matlab® Simulink®/DSP Builder®, o circuito do módulo de ajuste da tensão de saída de um regulador monofásico (Figura 3). Os detalhes de implementação da unidade de ajuste de tensão e da unidade de controle de *tap* são mostrados nas Figuras 4 e 5.

Esse sistema de ajuste para um regulador foi ampliado para sua implementação final (mostrada na Figura 6), para ajuste de tensões de um banco regulador trifásico.

Sintetizando, o Núcleo de Ajuste de Tensões para um banco regulador de tensão trifásico é mostrado no diagrama de blocos da Figura 7.

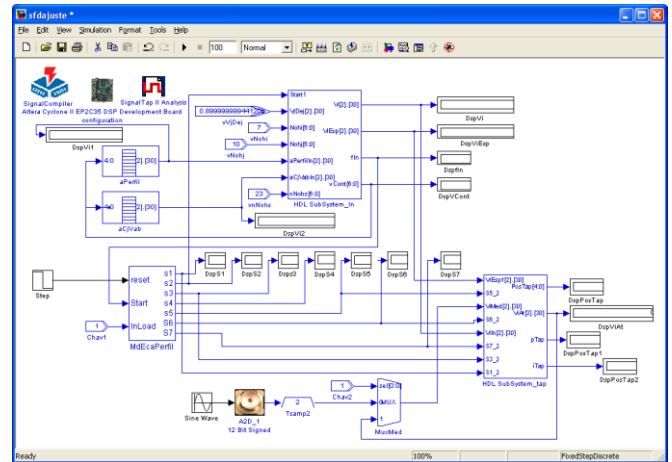


Figura 3. Implementação do bloco principal do sistema de ajuste da tensão no ambiente Simulink® com blocos funcionais do DSP Builder® da Altera®.

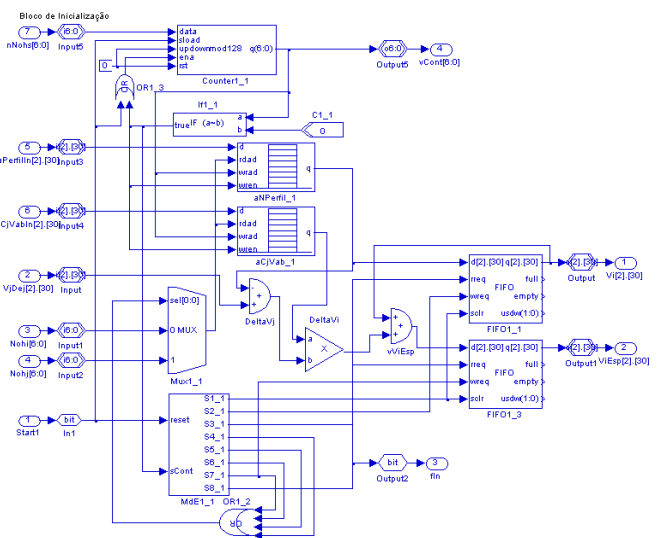


Figura 4. Implementação da unidade de ajuste da tensão no ambiente Simulink com blocos funcionais do DSP Builder® da Altera®.

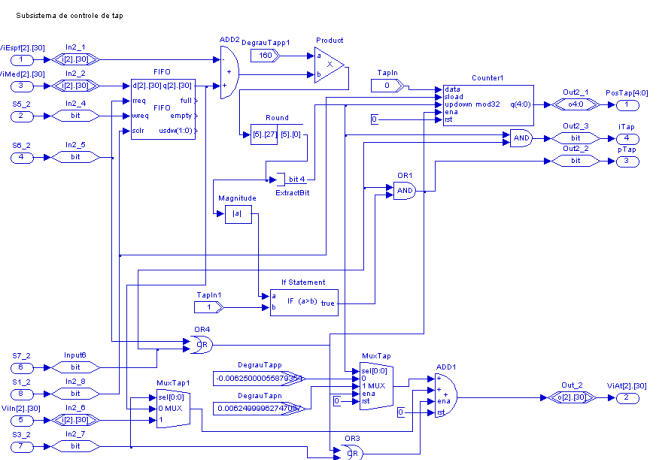


Figura 5. Implementação da Unidade de Controle de *tap* no Simulink com blocos do DSP Builder® da Altera®.

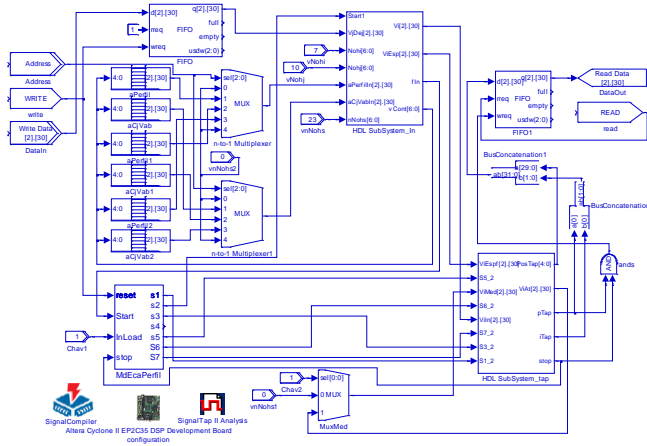


Figura 6. Núcleo de Ajuste de Tensões para um banco regulador de tensão trifásico.

No diagrama da Figura 7, as unidades ROMp1, ROMp2, ROMp3, e ROMc1, ROMc2, ROMc3 são unidades de memória que permitem o pré-armazenamento do perfil de tensão e dos coeficientes de tensão, respectivamente, para todos os nós de um alimentador. Por exemplo, ROMp1 e ROMc1 armazenam, respectivamente, o perfil de tensão e os coeficientes de tensão para a mesma tensão de linha do alimentador (V_{AB} ou V_{BC} ou V_{CA}). A unidade *Sampler* permite simular o comportamento do circuito com base num sinal efetivamente medido, obtido a partir do bloco ADC ou dos valores correntes de saída dos reguladores, obtidos da unidade de controle de *tap* (TCU).

Todo controle e temporização do circuito é feito pela Máquina de Estado (bloco MdE), permitindo inclusive que, ao chegar um sinal *InLoad*, um novo perfil de tensão ou novos coeficientes de tensão sejam recarregados numa simulação.

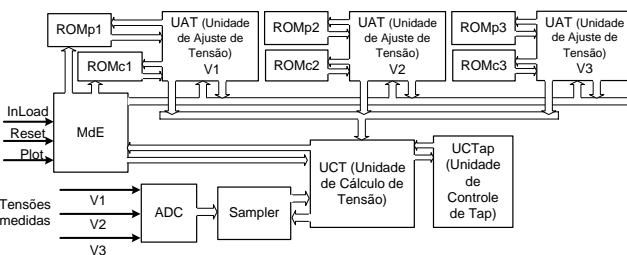


Figura 7. Diagrama de blocos do módulo de ajuste de tensões.

As principais unidades do modelo são: as UAT (Unidades de Ajuste de Tensão) e a UCT (Unidade de Cálculo das Tensões). As UAT são responsáveis por estimar as tensões de saída do nó regulador. A UCT é responsável pelas mudanças de *tap*, pelas atualizações das tensões de saída do regulador e pelo acompanhamento das medições. A UCT recebe dados da Unidade *Sampler* e é responsável pelo cálculo do perfil de tensão do alimentador após variações das tensões de saída do regulador. Detalhes da implementação do simulador trifásico desenvolvido com blocos funcionais do DSP Builder podem ser vistas em [9].

Em relação ao simulador apresentado em [9], uma importante alteração foi feita: a substituição das *look-up tables* por memórias ROM.

A utilização de memórias ROM é de grande relevância para a robustez do sistema uma vez que, por características construtivas, elas podem ler arquivos de textos escritos no formato Intel HEX. Tal fato possibilitou validar os resultados usando dados, de alimentadores reais, de perfil de tensão e de parâmetros de sensibilidade, fidedignos, gerados pelo programa de análise de fluxo de cargas *TOPReDE* (Técnicas de Otimização para Redes de Distribuição de Energia Elétrica), apresentado em [6] e, atualmente em uso pela Companhia de Eletrificação do Rio Grande do Norte (COSERN).

Para viabilizar a transferência desses dados dos alimentadores no formato HEX, para serem lidos pelas unidades ROM, nova opção, em código C++, foi incluída no programa *TOPReDE*. O uso dessas memórias tornou possível também comparar, por arquivo e graficamente, os resultados obtidos pelo simulador com os resultados obtidos pelo programa de análise de fluxo de cargas. Foi possível analisar o comportamento de vários alimentadores trocando-se simplesmente os arquivos de dados (com os perfis de tensão e com os parâmetros de sensibilidade relativos a cada nó do alimentador em análise) a serem lidos pelas memórias ROM.

Os elementos de controle de entrada de dados, adicionados na implementação do Núcleo de Ajuste de Tensões foram: os ports Address, Write e Write Data que permitem a conexão, através do SOPC Builder®, dos sinais de entrada do circuito desenvolvido no DSP Builder® ao barramento de saída do Avalon Switch Fabric; uma memória FIFO na qual se armazenam temporariamente os valores das tensões de linha; dois multiplexadores, responsáveis pela seleção dos dados presentes nas *look-up tables* que armazenam o perfil de tensão e os coeficientes de tensão de todos os nós do alimentador, correspondentes a cada tensão de linha em análise e; quatro *look-up tables* adicionais, complementando as seis unidades de armazenamento necessárias para um sistema trifásico.

Os elementos de controle de saída de dados adicionados na implementação do Núcleo de Ajuste de Tensões foram: os ports Read e Read Data que permitem a conexão, através do SOPC Builder®, dos sinais de saída do circuito desenvolvido no DSP Builder® ao barramento de entrada do Avalon Switch Fabric; uma memória FIFO na qual se armazenam temporariamente os valores de controle dos *taps* dos reguladores correspondentes a cada tensão de linha avaliada e; alguns elementos de concatenação de vias, usados para composição do barramento de saída de dados.

Estes circuitos foram implementados em um FPGA e se constituem em um núcleo de hardware a ser incorporado, através do SOPC Builder®, na plataforma alvo, descrita na seção anterior. O módulo de ajuste de tensões e a plataforma estão descritos em VHDL.

III. BANCADA DE TESTE

Para validações mais próximas de uma situação real, com o circuito de embarque atuando em um regulador, desenvolveu-se uma bancada de testes composta por um regulador monofásico, da marca TOSHIBA, modelo TB-IR600, cedido pela COSERN, por um autotransformador, por um reator e pelos circuitos implementados com um microcontrolador e

com um kit FPGA. Para simular as variações de tensão, utilizou-se um Varivolt de 0 a 420 V na frequência de 60 Hz. A implementação em FPGA foi feita no kit DK-Start – 3C25N da Altera.

A bancada de testes, vista nas Figuras 8 e 9, consiste, basicamente, de: um Varivolt, usado como fonte de alimentação da bancada de teste e representação da tensão oriunda da carga; o controle do regulador de tensão que será substituído pelo módulo de ajuste de tensão; um Autotransformador construído em laboratório; um bloco reator e o Kit FPGA com circuito ceifador de ciclo negativo.

Outros detalhes de montagem da bancada de testes podem ser vistos nas fotos mostradas nas figuras 10 a 13. Em seqüência têm-se: na Figura 10, detalhes das conexões feitas no regulador; na Figura 11, detalhes do autotransformador construído em laboratório, onde podem ser vistas os bornes e pontos de conexão; nas Figuras 12 e 13, são apresentadas vistas laterais da bancada, onde é possível observar o Vari-volt, o reator e o regulador de tensão.

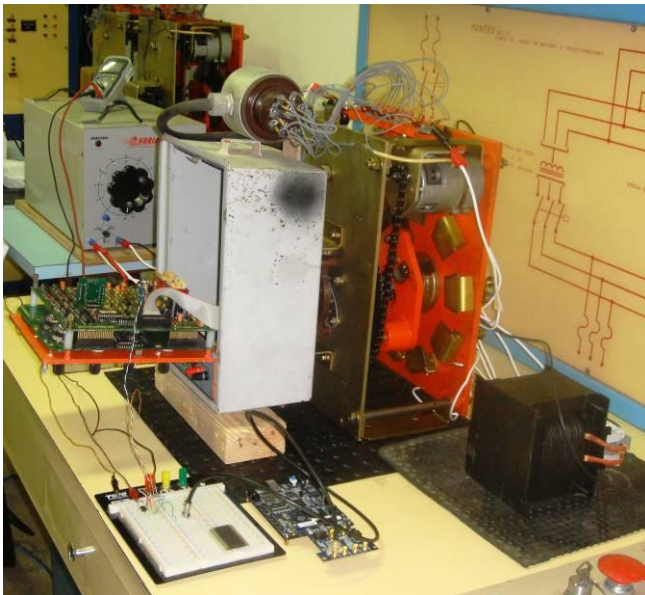


Figura 8. Bancada de testes (vista 1).

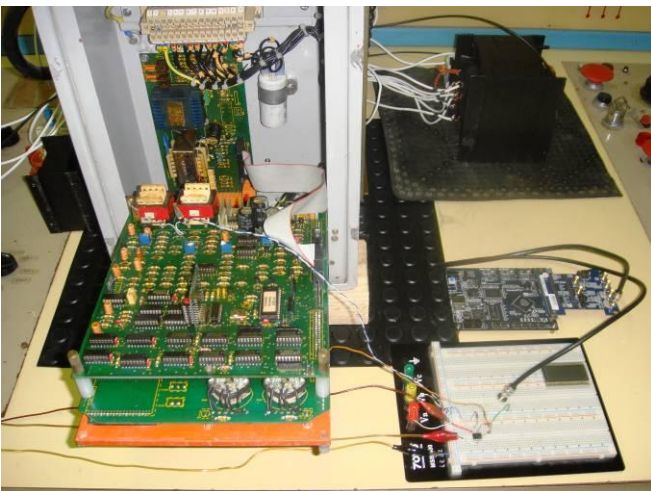


Figura 9. Bancada de testes (vista 2).

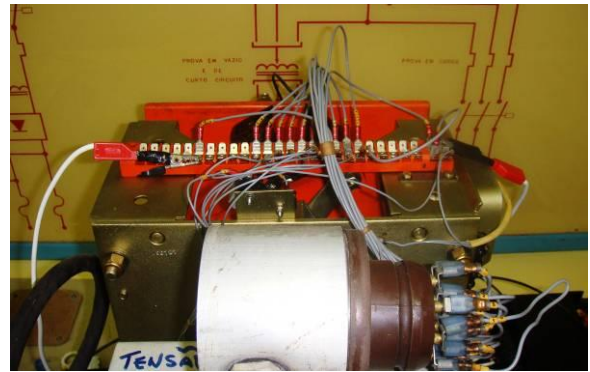


Figura 10. Detalhes de ligações feitas ao regulador.

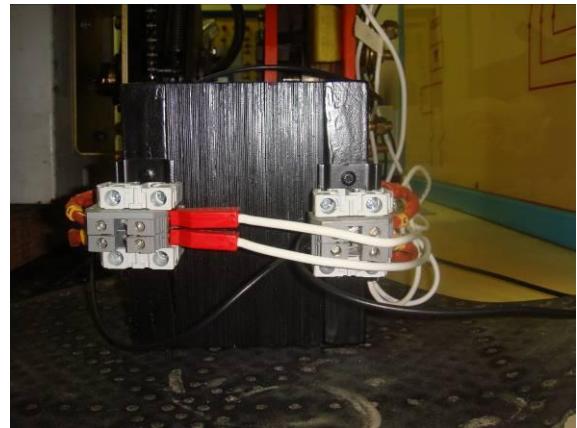


Figura 11. Detalhe do autotransformador



Figura 12. Vista lateral esquerda da bancada, onde é possível observar o varivolt, o reator e o regulador de tensão.



Figura 13. Vista lateral direita da bancada, onde é possível observar o Autotransformador, o Regulador de Tensão e o Varivolt.

Para iniciar os testes com a bancada, implementou-se um circuito conversor A/D com um microcontrolador PIC 16F877A e embarcou-se o programa responsável pela amostra dos três sinais de tensão (embora a bancada em teste seja monofásica). Como as entradas do kit FPGA da Altera requer níveis de tensão que não devem ultrapassar o valor de 3,3 V foi necessário o desenvolvimento e a implementação de um circuito que convertesse o nível de saída do PIC, 5 V, para 3,3 V, compatíveis com as entradas do FPGA. Este circuito ficou excessivamente grande, o que forçou a busca por outra solução que foi o uso de um microcontrolador PIC 16LF877, de baixa potência e que aceita tensões de alimentação entre 1,2 V e 5 V. O mesmo programa foi embarcado nesse novo processador e os testes se apresentaram satisfatórios e com a conseqüente eliminação da placa de adequação de níveis.

Os testes em bancada, considerando a presença de um único regulador, foram realizados usando o microcontrolador PIC e o módulo em hardware do circuito de ajuste de *tap*, segundo o diagrama mostrado na figura 14 e, como se pode observar, independente da plataforma.

No ponto mais à esquerda, destacado em vermelho tracejado, os pinos de saída do PIC estão conectados a entrada do FPGA (disponíveis através do barramento do kit FPGA), fornecendo o somatório dos quadrados das amostras. As informações recebidas são a indicação da tensão de fase ou de linha que está sendo transmitida, e o valor em binário, correspondente ao somatório das tensões nas amostras feitas para meio ciclo. Nas partes do circuito, destacadas nas figuras 15, 16 e 17 é feito o cálculo do valor *rms* da tensão, convertido em *p.u.* e entregue como tensão medida ao subsistema de posicionamento de *tap*.

Os valores de *tap* e de tensão de saída do regulador puderam ser visualizados através dos displays de sete segmentos e do display de LCD do kit FPGA.

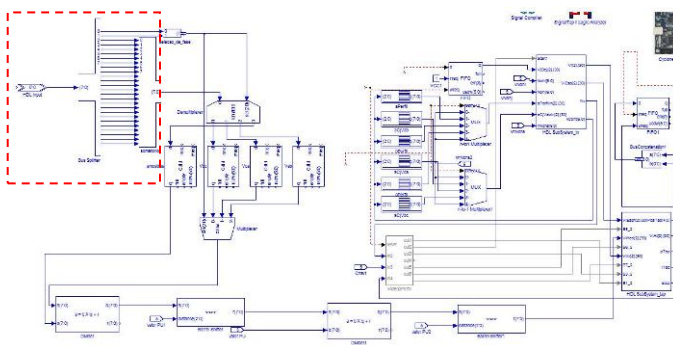


Figura 14 – Circuito usado para teste

IV. CONCLUSÕES

Como principal conclusão deste trabalho tem-se que: é possível prever e controlar, em tempo real, as tensões em um ponto qualquer de um alimentador, a jusante de um banco regulador trifásico, usando apenas amostras de tensões na saída dos reguladores e os parâmetros de sensibilidade que definem as derivadas parciais das tensões de cada nó em relação às tensões de saída do regulador. Tal fato induz a uma óbvia redução nos custos construtivos e operacionais

dos reguladores já que o LDC perde sua funcionalidade prática e pode ser excluído durante o processo de fabricação do regulador. Com a retirada do LDC, reduzem-se também, os custos operacionais e de manutenção.

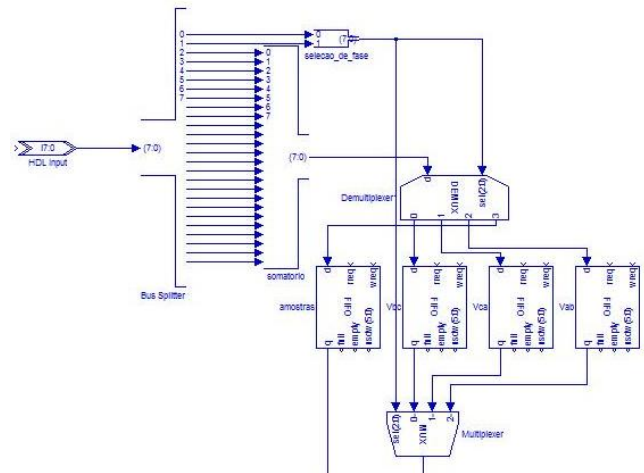


Figura 15 – Circuito de entrada para cálculo do valor *rms*

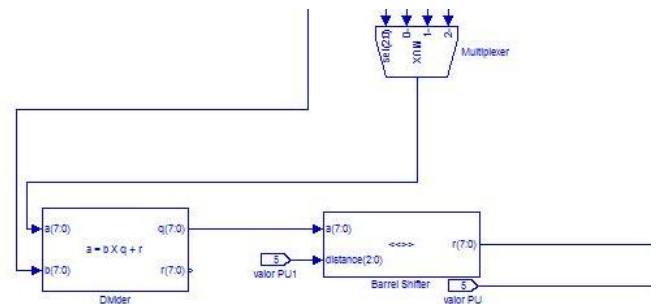


Figura 16 – Circuito de entrada para cálculo do valor da tensão em *p.u.*

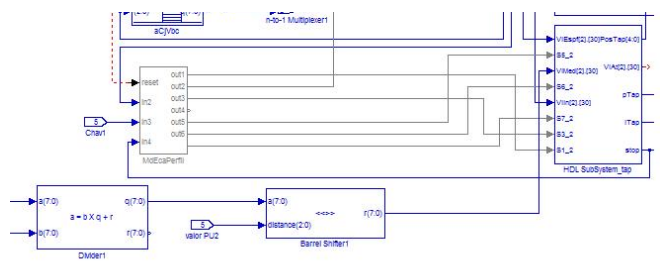


Figura 17 – Circuito de entrega da tensão medida em *pu*.

Além dessas vantagens, pode-se destacar a perspectiva de uso de um menor número de reguladores por alimentador, o que representa uma economia para a Empresa, tendo em vista que o algoritmo de regulação remota poderá realizar uma estimativa mais precisa dos valores de tensão a jusante do regulador. Atualmente, a COSERN conta com aproximadamente 256 unidades de reguladores monofásicos de tensão, instalados em conexões trifásicas (delta ou delta-aberto), nos diversos alimentadores. Pelas razões já expostas acima, as características de regulação remota não estão sendo exploradas. Estima-se que, passando a explorar essas características, através da incorporação do novo módulo de controle, cerca de 8% dos reguladores pode ser desinstalado, evitando a compra de novos reguladores para necessidades

futuras, o que representa algo em torno de 20 unidades que, implicando em uma economia considerável.

Como perspectivas futuras têm-se a expectativa de: primeiramente se conseguir financiamento para construção de um regulador, cabeça de série, com o módulo de ajuste de tensão embarcado e; posteriormente, que este cabeça de série possa ser adicionado a uma linha de distribuição de energia elétrica, conjuntamente com reguladores tradicionais para daí se poder constatar sua eficácia e viabilidade econômica para a indústria. Tal perspectiva pode se tornar ainda mais atrativa se o módulo de ajuste de tensão for implementado como um ASIC.

V. AGRADECIMENTOS

Nossos agradecimentos a Companhia Energética do Rio Grande do Norte – COSERN, pelo apoio financeiro e pelo fornecimento de todas as informações que se fizeram necessárias durante a realização deste trabalho.

VI. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] R. Céspedes, "New method for the analysis of distribution networks," *IEEE Transactions on Power Delivery*, vol. 5, pp. 391-196, jan. 1990
- [2] M. F. Medeiros Jr, M. C. P. Filho, A. L. A. Araújo and J. A. N. de Oliveira, "Análise Tecno-econômica da Correção do Perfil de Tensão de Alimentadores de Média Tensão" In: *Congresso de Inovação Tecnológica em Energia Elétrica. CITENEL, 2.*, Salvador. p. 771-776. 2003.
- [3] M. F. Medeiros Jr and M. C. P. Filho, "Localização Ótima de Bancos Trifásicos de Reguladores de Tensão em Alimentadores Radiais de Distribuição". In: *IV CBA, Natal, Brazil. 2002.*
- [4] M. C. P. Filho, M. F. de Medeiros Jr, J. A. N. de Oliveira, M. A. de Almeida. *Linearização dos Parâmetros de Sensibilidade Tensão X Tensão e Tensão X Carregamento para Regulação Remota em Alimentadores de Média Tensão.* In *VII INDUSCON, Recife, Brazil. 2006.*
- [5] J.A. de Oliveira, "Plataforma de Embarque para Implementação de Funções de Controle de Tempo Real em Reguladores de Tensão Utilizados em Redes de Distribuição de Energia Elétrica," Tese de Doutorado, PPGEEC., UFRN, 2007.
- [6] J. A. N. de Oliveira, M. F. de Medeiros Jr, M. C. P. Filho and I. S. Silva, *Embedded Platform And Ip Core for Adjustment of Regulation Voltage in Electric Energy Distribution Systems*, presented at the VII INDUSCON, Recife, Brazil, 2006.
- [7] J. A. N. de Oliveira, M. F. de Medeiros Jr, M. C. P. Filho and I. S. Silva. *IP Core for Regulation Voltage Adjustmen in Electric Energy Distribution Systems.* In *Proceedings IP-SOC 2005, Grenoble, France.* p. 65-69. 2005.
- [8] M. F. de Medeiros Jr, I. S. Silva, M. C. P. Filho, M. A. de Almeida, J. A. N. de Oliveira, J. Mendonça Jr. *A system to simulate the behavior of distribution system voltage regulators with embedded software IP control, IEEE PES, Caracas. Venezuela. 2006.*
- [9] M. F. de Medeiros Jr, M. C. P. Filho, M. A. de Almeida, J. A. N. de Oliveira, J. Mendonça Jr. *A simulator for three-phase voltage regulator banks used in electric energy distribution systems, IPSOC, Grenoble. France. 2006.*
- [10] P.Marwedel, *Embedded System Design*, New York: Springer, 2006.
- [11] B. Bailey, G. Martin, *ESL Models and their Application: Electronic System Level Design and Verification in Practice*, New York: Springer. 2010.
- [12] J. O. Hamblen, T. S. Hall, M. D. Furman, *Rapid Prototyping of Digital Systems SOPC Edition.* New York: Springer, 2008.
- [13] M. Bates, *Interfacing PIC Microcontrollers: Embedded Design by Interactive Simulation*, San Diego: Elsevier, 2006.
- [14] J. J. Labrosse, *MicroC OS-II the real time Kernel.* 2nd ed. San Francisco: CMPBooks, 2002.