



**SNPTEE  
SEMINÁRIO NACIONAL  
DE PRODUÇÃO E  
TRANSMISSÃO DE  
ENERGIA ELÉTRICA**

GPC 14  
14 a 17 Outubro de 2007  
Rio de Janeiro - RJ

## **GRUPO V**

**GRUPO DE ESTUDO DE PROTEÇÃO, MEDIÇÃO E CONTROLE EM SISTEMAS DE POTÊNCIA – GPC**

### **RELÉ DIFERENCIAL PARA PROTEÇÃO DE LINHAS DE TRANSMISSÃO UTILIZANDO FIBRA ÓPTICA COMO CANAL DE COMUNICAÇÃO**

**Eduardo C. Senger<sup>1</sup>**

**Sergio L. Zimath<sup>2</sup>**

**Eduardo L. Pellini<sup>1</sup>**

**Renato M. Nakagomi<sup>1</sup>**

**Giovanni Manassero Jr<sup>1</sup>**

**Guido Stolfi<sup>1</sup>**

<sup>(1)</sup> ESCOLA POLITÉCNICA DA USP

<sup>(2)</sup> REASON TECNOLOGIA S. A.

## RESUMO

O artigo descreve o desenvolvimento de um relé diferencial para a proteção de linhas de transmissão, que utiliza fibra óptica como o canal de comunicação entre os relés instalados em cada terminal de linha. Este trabalho está sendo realizado no âmbito de um projeto de pesquisa, financiado pela FINEP, e desenvolvido pelo Laboratório de Pesquisa em Proteção de Sistemas Elétricos (LProt) da Universidade de São Paulo em parceria com a empresa Reason Tecnologia SA. O relé conta com todos os recursos encontrados nos modernos IED, tais como: funções de proteção e medição; lógica programável e ferramentas de análise pós-falta (oscilografia, seqüência de eventos e localização de faltas).

O artigo descreve as funções de proteção implementadas, o projeto do *hardware* desenvolvido e os principais aspectos do processamento digital de sinais utilizados no algoritmo da função diferencial. Ênfase especial é dada ao procedimento, conhecido como *Ping-pong*, utilizado pelos relés para realizarem a sincronização do processo de amostragem entre equipamentos que estão instalados a dezenas de quilômetros um do outro.

## PALAVRAS-CHAVE

proteção diferencial de linhas, relé digital, proteção de linhas de transmissão

### 1.0 - INTRODUÇÃO

A proteção de sistemas elétricos tem evoluído muito nos últimos anos com o desenvolvimento de algoritmos e esquemas de proteção cada vez mais sofisticados, objetivando em última instância uma proteção cada vez mais seletiva e segura. A proteção diferencial tem sido, ao longo dos tempos, reconhecida como uma das técnicas que melhor atende a esses critérios de seletividade e segurança. Quando aplicada à proteção de linhas de transmissão, a função diferencial tem como única restrição o fato de se ancorar em um sistema de comunicação, fato este ainda visto por muitos como impeditivo para sua aplicação como proteção primária de linhas longas. No entanto, pela própria necessidade de uma sociedade cada vez mais digital, a comunicação tem evoluído rapidamente, sendo possível já hoje em dia dispor de canais com elevados níveis de confiabilidade e redundância, exatamente o que se precisa para a aplicação da proteção diferencial de linhas de transmissão.

Este cenário, onde o sistema de comunicação não será mais uma restrição ao uso da proteção diferencial para linhas de transmissão, motivou o Laboratório de Pesquisa em Proteção de Sistemas Elétricos da USP (LProt) em parceria com a Reason Tecnologia, tradicional fabricante de equipamentos eletrônicos para o setor elétrico, a investir no desenvolvimento de um relé diferencial para proteção de linhas de transmissão utilizando fibras ópticas

como o canal de comunicação entre os diversos terminais da linha protegida. O trabalho contemplou todos os aspectos do desenvolvimento de um moderno IED (*Intelligent Electronic Device*) utilizado na proteção, controle e monitoramento das redes elétricas de potência atuais. O trabalho consistiu das seguintes atividades:

- projeto e implementação de um *hardware* digital dedicado, multiprocessado, com os recursos e a capacidade computacional necessários para implementar as mais sofisticadas funções de proteção;
- projeto e implementação das placas de comunicação para transmissão e recepção da informação exigida pela função diferencial entre os diversos terminais da linha;
- desenvolvimento dos algoritmos das funções de proteção, de medição e de monitoramento;
- desenvolvimento das facilidades de lógica programável e de análise pós-falta (oscilografia, registro de eventos e localização de faltas);

A seguir é apresentada parte da especificação estabelecida no início do trabalho com o objetivo de nortear o desenvolvimento do projeto do relé diferencial de linha. Essa especificação encontra-se resumida na tabela 1 que descreve as funções de proteção, medição, controle, monitoramento e análise pós-falta a serem implementadas no relé diferencial. Essas funções foram classificadas em dois grupos: a)- Grupo 1: funções a serem implementadas durante o período de vigência do projeto de pesquisa (24 meses); b)- Grupo 2: funções adicionais, que por questão de disponibilidade de tempo, serão implementadas em uma etapa posterior.

TABELA 1. Funções de proteção, controle, análise pós-falta, medição e monitoramento implementadas no IED.

<b>Funções de Proteção</b>	<b>Grupo</b>	<b>Recursos de Análise Pós-Falta</b>	<b>Grupo</b>
diferencial de linha (87L)	1	oscilografia	1
sobrecorrente de fase(50/51F)	1	seqüência de eventos	1
sobrecorrente de neutro (50/51N)	1	localização de faltas	2
sobrecorrente de seq. negativa (50/51-2)	1	<b>Recursos de Medição</b>	<b>Grupo</b>
ground sensor (50/51GS)	1	tensões (fases/linha)	1
falha de disjuntor (50BF)	1	correntes (fases/neutro)	1
religamento trifásico (79)	1	tensões/correntes seqüenciais	1
sobrecorrente direcional (67/67N)	2	freqüência	1
sobretensão (59/59N)	2	potencia ativa/reactiva	1
subtensão (27)	2	fator de potência	1
freqüência (81)	2	energia	1
check de sincronismo (25)	2	<b>Recursos de Monitoramento</b>	<b>Grupo</b>
<b>Recursos de Controle</b>	<b>Grupo</b>	auto-teste	1
lógica programável	1	monitoramento de circuito de trip (74TC)	1

## 2.0 - PLATAFORMA DE *HARDWARE* DO RELÉ DIFERENCIAL DE LINHAS

O projeto do *hardware*, realizado no âmbito do projeto, visou o desenvolvimento de uma plataforma, baseada em múltiplos processadores, que apresentasse desempenho e capacidade computacional suficientes para a implementação de todas as funções especificadas no item anterior. Impôs-se ainda, como critério de projeto, que o *hardware* deveria apresentar a flexibilidade necessária para ser utilizado em futuros projetos de pesquisa que visem o desenvolvimento de novos IED com outras funções de proteção. Com essa filosofia, o projeto procurou dotar o *hardware* de recursos suficientes para a implementação das funções de proteção mais complexas.

Como mostrado na figura 1, o *hardware* do Relé Diferencial de Linhas é constituído de sete módulos (placas) acondicionados em uma gaveta metálica para bastidor 19". Esta estrutura modular permite ao usuário configurar o relé de acordo com as necessidades da sua aplicação. A seguir é apresentado um breve descrição de alguns desses módulos.

### 2.1 Módulo Microprocessado Principal

Esse módulo, responsável pela capacidade computacional do equipamento, é constituído por uma placa *multi-layer* que contém três processadores, sendo dois DSP (ADSP 2186M da Analog Devices) e um processador com arquitetura ARM-9 (AT91RM9200); um dispositivo lógico programável tipo FPGA (Xilinx - Spartan 3) além de memórias; portas de comunicação e circuitos auxiliares. A figura 2 apresenta um diagrama de blocos ilustrativo dos principais componentes e do fluxo de dados presentes no Módulo Microprocessado Principal. Nessa figura, além dos principais componentes já descritos, também são mostrados os dois barramentos de dados e de endereços, sendo o primeiro compartilhado pelos dois DSP e o segundo pela CPU. Nesse *hardware* o DSP 1 opera no modo mestre e o DSP 2 no modo escravo.

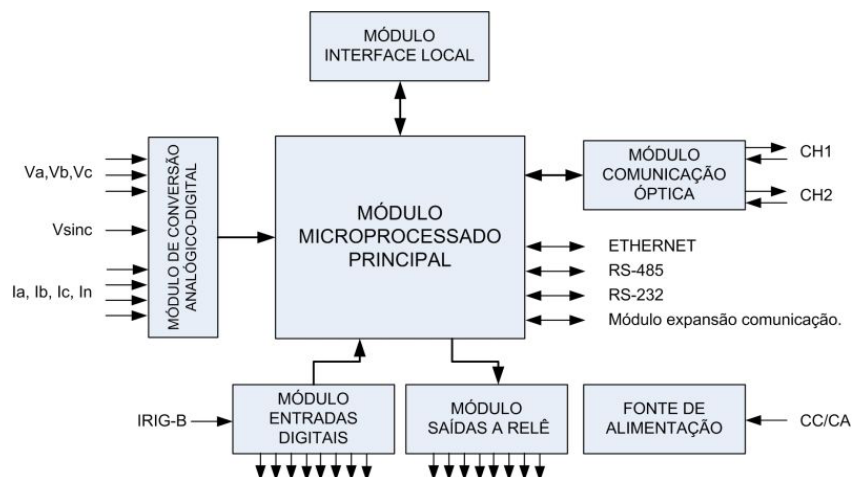


FIGURA 1. Diagrama esquemático com os módulos de *hardware* do relé diferencial de linha.

A FPGA tem por função implementar diversos blocos de circuitos adicionais, tais como, serializador: responsável por agrupar as saídas seriais dos conversores A/D gerando um único fluxo serial com todas as oito leituras dos canais analógicos em seqüência; I/O digital: responsável por monitorar os módulos de entrada/saída digital e disponibilizar o status dessas grandezas para os processadores; teclado e *display*: responsável pelo gerenciamento da interface local do relé. O bloco *time stamp* compreende diversos circuitos, que geram, a partir de um *clock* de 32.768 MHz, toda a temporização necessária para o processo de amostragem dos sinais. Para a função diferencial esses circuitos geram os *time stamp* que são anexados às mensagens transmitidas através do canal de fibra óptica. Esses *time stamps* são utilizados por um algoritmo denominado *Ping-pong*, o qual é responsável pela sincronização simultânea dos contadores programáveis de todos os IED envolvidos na proteção diferencial da linha. Com a sincronização desses circuitos (*clocks* responsáveis pelo processo de amostragem) garante-se que os fasores calculados nos diversos terminais de linha terão as respectivas fases medidas com relação a uma mesma referencia, podendo, dessa forma, ser comparados diretamente. O algoritmo *Ping-pong* e o circuito responsável por essa temporização são descritos em detalhes no item 3.0.

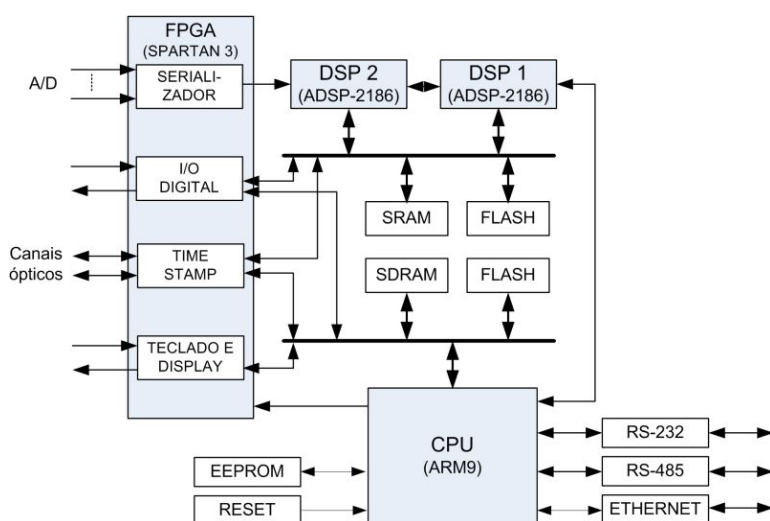


FIGURA 2. Diagrama esquemático do módulo microprocessado principal.

Os DSP's são responsáveis pelas tarefas relacionadas com o processamento digital de sinais, uma vez que tanto sua arquitetura quanto seu conjunto de instruções são projetados para realizar esse tipo de processamento com eficiência. Na implementação realizada, esses processadores são responsáveis pelos seguintes processos: interpolação e decimação dos sinais digitais fornecidos pelo módulo de Conversão Analógico-Digital; filtragem digital da componente aperiódica; cálculo dos fasores através do método de Fourier; cálculo das demais grandezas elétricas (potências ativa, reativa, fator de potência, etc.); sincronização do processo de amostragem em todos os terminais de linha (algoritmo *Ping-pong*); *debounce* e controle das entradas digitais; oscilografia e registro de eventos.

O processador principal (CPU) é responsável pela execução das funções de proteção, lógica programável, localização de faltas e pelo gerenciamento da comunicação externa (ethernet, USB, seriais RS-232 e RS-485) e da interface local (teclado, *display* e leds). Esse processador possui barramento de dados e endereços de 32 bits e capacidade de processamento de 200 MIPS.

## 2.2 Módulo de conversão analógico-digital

Este módulo é responsável pelo acondicionamento e digitalização de oito canais analógicos, sendo quatro canais de correntes (Ia, Ib, Ic, In), três canais de tensão com neutro comum (Van, Vbn, Vcn) e um canal de tensão isolada utilizada para a função de *check* de sincronismo (função ANSI 25). O módulo utiliza conversores A/D, baseados em modulador sigma-delta de quinta ordem, 16 bits de resolução e frequência de amostragem ajustada para operarem com uma taxa de amostragem de 142 amostras/ciclo da fundamental.

É importante observar que, na solução desenvolvida, a conversão analógico-digital no IED do terminal local é feita de forma assíncrona em relação aos IED dos terminais remotos, isto é, as amostras dos sinais não são aquiritadas no mesmo instante em todos os terminais. Isso implica que essas amostras não podem ser utilizadas diretamente no cálculo dos fasores através do método de Fourier, dado que a fase dos fasores nos IED dos diversos terminais da linha não estariam referidos à mesma referência. A solução implementada foi a inserção de uma etapa de interpolação no processamento digital dos sinais realizados no DSP2. Essa interpolação consiste em, a partir da seqüência de amostras aquiritadas assincronamente pelo conversor A/D, interpolar o valor das amostras correspondentes aos instantes de tempo definidos pelo *clock* de sincronização, gerado pelo circuito *time stamp* implementado na FPGA. Dado que esse *clock*, através do algoritmo *Ping-pong*, resulta precisamente sincronizado em todos os IED, as amostras interpoladas nos diversos IED também corresponderão aos mesmos instantes de tempo. O processo de interpolação é descrito no item 4.0

## 2.3 Módulo de comunicação óptica

Este módulo possui os circuitos opto-eletrônicos responsáveis pela transmissão e recepção de sinais ópticos do enlace de fibras ópticas dedicado à troca de dados entre os IED localizados nos terminais da linha protegida. O módulo desenvolvido possui um canal óptico na versão mono-direcional *full-duplex*, ou seja, haverá uma fibra óptica de transmissão (Tx) e um de recepção (Rx) para cada canal do enlace. O circuito *time stamp* da FPGA aceita a conexão de até dois módulos de comunicação óptica, permitindo que o IED, neste caso, opere com dois canais de comunicação ópticos. Isso permite que o IED possa ser empregado na proteção de linhas de três terminais (cada canal é conectado a um dos IED dos dois terminais remotos). Quando utilizado na proteção de linhas de dois terminais, caso o segundo canal de comunicação seja utilizado, ele opera na condição de *hot stand-by*. O módulo desenvolvido comporta dois tipos de enlaces de comunicação a fibras ópticas. O primeiro, denominado de enlace de curta distância, é aplicável para distâncias de até 10 km. O segundo, denominado de enlace de longa distância, é aplicável para distâncias de até 86 km, quando utilizado com fibras de 1330 nm (atenuação da fibra de 0.3 dB/km), e de até 115 km com fibras de 1550 nm (atenuação de 0.19 dB/km).

## 2.4 Módulos de entradas digitais, saídas a relé e portas de comunicação

O Módulo de Entradas Digitais possui oito entradas opto-acopladas. Neste módulo está presente ainda a entrada digital dedicada à interface IRIG-B para sincronização temporal. O Módulo de Saídas a Relé disponibiliza oito relês de uso geral, com contatos NA/NF. O Módulo Microprocessado Principal suporta a conexão de até dois módulos de entradas digitais e até dois módulos de saídas digitais (total de 16 entradas e 16 saídas digitais).

Além do Módulo de Comunicação Óptica, destinado especificamente à troca de informações da função diferencial de linha, o relé conta ainda com as seguintes portas de comunicação para parametrização e conexão com o sistema supervisório da subestação: interface RS-232 (frontal); ethernet 10/100 (traseira); RS-485 (traseira); módulos de expansão: até 3 módulos com portas RS-232 ou RS-485 ou Ethernet (traseira).

## 3.0 - SINCRONIZAÇÃO DO PROCESSO DE AMOSTRAGEM NO RELÉ DIFERENCIAL DE LINHA

A maior dificuldade na aplicação da função diferencial à proteção de linhas de transmissão consiste no fato de que os dois terminais encontram-se localizados a dezenas ou centenas de quilômetros de distância e, conseqüentemente, a amostragem dos sinais de corrente é realizada por dois IED's independentes. Neste caso, torna-se necessário algum procedimento que permita sincronizar os *clocks* que controlam os processos de amostragem nos dois terminais da linha. Na solução adotada neste trabalho, esse procedimento utiliza uma técnica denominada *Ping-pong*, a qual consiste em transmitir, por meio das mensagens trocadas entre os IED's, três *time stamps*, como ilustrado na figura 3. Nessa figura, admite-se que os *clocks* dos IED's instalados nos terminais A e B da linha protegida não se encontram sincronizados, sendo  $\theta_{AB}$  o avanço de tempo do *clock* do IED do terminal A em relação ao *clock* do terminal B. Admite-se ainda que, o tempo de transmissão do terminal A para o terminal B é  $T_f$  e o tempo de transmissão no sentido contrario é  $T_r$ . Caso esses dois tempos sejam diferentes, o canal é dito assimétrico, sendo a assimetria do canal definida como o módulo da diferença entre  $T_f$  e  $T_r$ . Os tempos  $T_0$ ,  $T_1$ ,  $T_2$  e  $T_3$  correspondem aos tempos de transmissão e recebimento das mensagens em cada terminal e encontram-se referidos ao *clock* local onde cada tempo foi registrado. Quando um IED transmite uma mensagem de sincronização, ele insere na mensagem os tempos de saída e chegada da última mensagem recebida por esse terminal e o tempo de saída da mensagem atual. Na mensagem 1 mostrada na figura 3, transmitida pelo IED do terminal B, esses tempos correspondem aos *time stamps*  $T_0$  (extraído da mensagem 0 recebida por esse terminal),  $T_1$  e  $T_2$ . Quando o terminal A recebe essa mensagem, ele lê em seu *clock* o instante

de chegada da mensagem (instante  $T3$ ). A partir desses quatro *time stamps* é possível estimar o erro entre os *clocks* dos dois terminais e proceder à correção, de forma a sincronizá-los. Para as condições descritas, a relação entre os diversos instantes de tempo mostrados na figura 3 é dada pelas equações 1 e 2.

$$T1 = T0 + Tf - \theta_{AB} \quad (1)$$

$$T3 = T2 + Tr + \theta_{AB} \quad (2)$$

Subtraindo-se [1] de [2], resulta

$$\theta_{AB} = \frac{1}{2}[a - b] - \frac{1}{2}[Tr - Tf] \quad (3)$$

onde  $a = T3 - T2$  e  $b = T1 - T0$

A assimetria do canal é definida pela equação [5].

$$assimetria = |Tr - Tf| \quad (5)$$

Retornando-se à equação [3], observa-se que, para canais que possuem assimetria nula ou pequena, o erro entre os *clocks* nos dois terminais pode ser aproximado pela equação 6.

$$\hat{\theta}_{AB} = \frac{1}{2}[a - b] \cong \theta_{AB} \quad (6)$$

Caso a assimetria do canal seja significativa, o erro entre a estimativa e o valor correto do avanço de fase do canal local em relação ao remoto será igual à metade dessa assimetria, como indicado pela equação 7.

$$\theta_{AB} = \hat{\theta}_{AB} \pm \frac{1}{2}assimetria \quad (7)$$

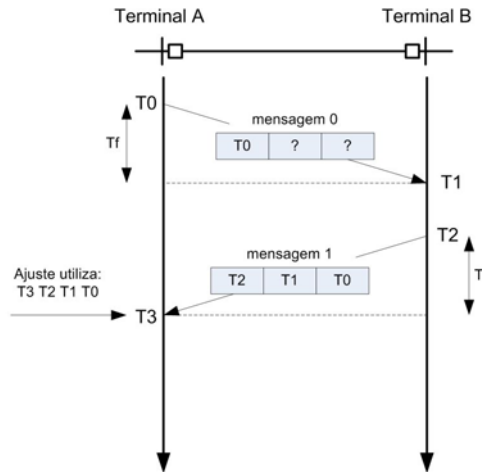


FIGURA 3. Técnica *Ping-pong* para sincronização dos *clocks* dos IED's.

O algoritmo *Ping-pong* consiste em, periodicamente, trocar mensagens de sincronização entre os terminais de linha e, a cada chegada de uma nova mensagem, o IED calcula seu avanço de fase em relação ao terminal remoto através da equação 6 e a seguir corrige seu *clock* subtraindo metade do avanço calculado, como indicado pela equação 8 (o IED do terminal remoto fará o mesmo corrigindo a outra metade do erro). Na implementação realizada o processo de sincronização ocorre a cada dois ciclos da componente fundamental.

$$clock^{novo} = clock^{atual} - \frac{1}{2}\hat{\theta}_{AB} \quad (8)$$

Para canais de comunicação constituídos por fibras ópticas dedicadas a assimetria do canal é nula e o método apresentado acima é suficientemente preciso. Já para canais digitais multiplexados (sistema SONET, por exemplo) a assimetria pode ser elevada e, neste caso, torna-se necessário estimar o valor dessa assimetria a cada instante de tempo e calcular o erro do *clock* segundo a equação 3 e não mais pela equação 6. Uma forma de estimar essa assimetria é fazer um segundo procedimento de *Ping-pong* utilizando *time stamps* gerados por um segundo *clock* sincronizado pelo sistema GPS. Neste caso, a mensagem de sincronização irá conter seis *time stamp* (três do primeiro *clock* e três do *clock* sincronizado via GPS). A aplicação do algoritmo *Ping-pong* a esse

segundo *clock* irá fornecer o valor da parcela  $[Tr-Tf]$  necessária para a aplicação da equação 3. Esse segundo *clock*, apesar de também implementado, não será discutido neste artigo por razões de espaço.

### 3.1. Geração das estampas de tempo para o processo de sincronização

Conforme comentado no item 2.1, as estampas de tempo, utilizadas no processo de sincronização dos IED, são geradas por um circuito implementado na FPGA. Esse circuito, mostrado na figura 4, é responsável por gerar toda a temporização necessária para o processo de amostragem e interpolação. Ele é constituído por um somador de duas entradas e um acumulador de 40 bits, no qual é armazenado o resultado da soma. A operação de soma é realizada a cada ciclo do *clock* de 32789 kHz, sendo que uma das entradas é um número constante de 32 bits ( $K$ ) e a outra é próprio valor do acumulador. O parâmetro  $K$  é definido impondo-se que o acumulador irá sofrer *overflow* exatamente a cada 16 ciclos da fundamental.

Os dezesseis bits mais significativos do acumulador de 40 bits fornecem os *time stamps* utilizados nas mensagens de sincronização. A cada dois ciclos da fundamental os *time stamps*, inseridos nas mensagens trocadas entre os IED, são utilizados para calcular, através do algoritmo *Ping-pong*, a correção necessária para sincronizar os equipamentos instalados nos terminais da linha protegida. Esse valor de correção é, então, somado aos 16 bits mais significativos do acumulador, de forma a efetivar a sincronização. Vale observar que dentro dos 16 bits mais significativos do acumulador que constituem o *time stamp*, existem alguns bits particulares que operam como pulsos de temporização para disparo de determinados processos. Assim, por exemplo, a borda de subida do sinal gerado pelo bit 5 do *time stamp* (oscilando a uma frequência de  $128.f_0$ ), dispara o processo de interpolação, o qual calcula o valor da amostra que estaria posicionada no exato instante de ocorrência desse pulso.

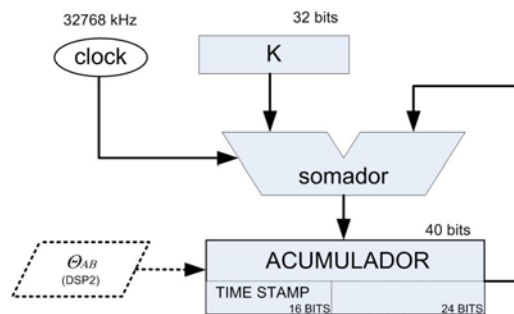


Figura 4. Circuito gerador da temporização.

Uma vez que o processo descrito no item 3.0 leva à sincronização do valor do acumulador nos IED, a borda de subida desse bit ocorrerá praticamente no mesmo instante em todos os equipamentos e, conseqüentemente, o mesmo ocorrerá com o instante de interpolação da amostra do sinal. Isso significa que a partir de um sinal de 142 amostras/ciclo, amostrado assincronamente, gera-se um sinal de 128 amostras/ciclo, cujas amostras estão referidas a um mesmo instante de tempo em todos os terminais da linha protegida.

Para avaliar o desempenho do processo de sincronização implementado no relé diferencial, o algoritmo *Ping-pong* e o circuito do bloco *time stamp* foram cuidadosamente simulados no ambiente Simulink do Matlab. A figura 5 mostra a evolução ao longo do tempo dos *time stamps* de dois relés (A e B) instalados em cada um dos terminais da linha. No instante zero os dois *time stamps* encontravam-se com a máxima defasagem possível, sendo que em menos de 200 ms alcançaram o sincronismo, passando a operar, a partir daí, em fase.

## 4.0 - PROCESSAMENTO DIGITAL DOS SINAIS NO RELÉ DIFERENCIAL

Todo o processamento digital de sinais básico é realizado no DSP2. A figura 6 ilustra os principais processos que integram esse processamento e uma breve descrição é apresentada a seguir.

a)- Interpolação: Como já comentado, a aquisição das amostras dos sinais analógicos pelos conversores A/D, ocorre a uma taxa de 142 amostras/ciclo da fundamental e é realizada de forma assíncrona, isto é, os instantes de aquisição das amostras nos dois terminais da linha não são exatamente os mesmos. A solução adotada neste trabalho para realizar a sincronização das amostras consiste em, a partir da seqüência de amostras assíncronas fornecida pelos conversores A/D, calcular uma nova seqüência de amostras, as quais correspondem exatamente aos instantes dos pulsos de interpolação produzidos pelo *time stamp* gerado pelo circuito da figura 4. Para realizar esse processo de interpolação utilizou-se filtro FIR de ordem 5, cujo projeto é baseado no método do interpolador de Lagrange (1).

b)- Decimação: Este processo consiste em reduzir a taxa de amostragem dos sinais de 128 amostras/ciclo da fundamental para 16 amostras/ciclo da fundamental. Dado que a razão de decimação é 8, de cada oito amostras do sinal de entrada é tomada uma amostra para o sinal de saída. De forma a evitar o erro de *aliasing*, primeiramente o sinal de entrada deve ser submetido a uma filtragem passa-baixas. Para essa tarefa foi projetado um filtro tipo FIR de ordem 42, tipo fase mínima, utilizando a ferramenta *firgr* existente no *toolbox Filter Design* do

Matlab, a qual usa o algoritmo *Remez Generalizado* (2) para o projeto de filtros ótimos.

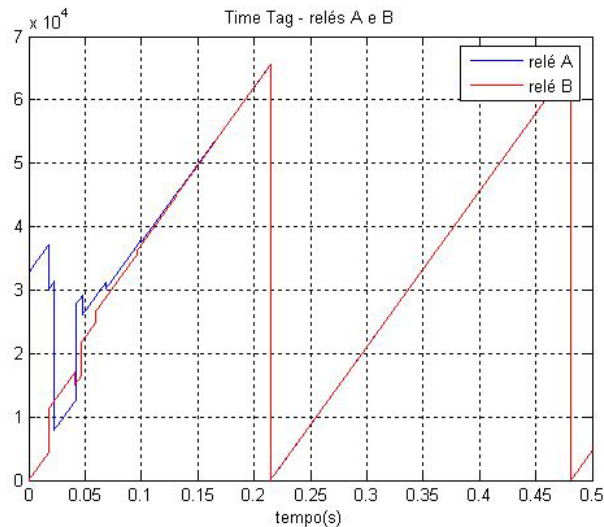


Figura 5. Simulação da evolução dos *time stamps* dos relés A e B.

c)- Filtragem *off-set*: Esta etapa utiliza um filtro digital especificamente projetado para eliminar a componente exponencial amortecida presente, principalmente nos sinais da corrente de curto-circuito. Essa componente é reconhecidamente a maior fonte de erro para o processo de cálculo dos fasores através do método de Fourier. O filtro utilizado foi analisado e descrito em detalhes na referência (3).

d)- Fourier: Esta etapa consiste no cálculo dos fasores dos sinais através do conhecido método de Fourier com janela de um ciclo.

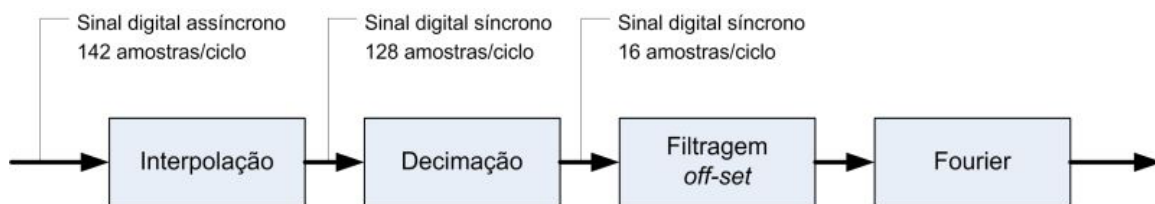


Figura 6. Processamento digital de sinais no relé diferencial.

## 5.0 - ROTINAS RESPONSÁVEIS PELA FUNÇÃO DE PROTEÇÃO DIFERENCIAL DE LINHA

Na implementação realizada para o relé descrito neste trabalho, existem duas rotinas responsáveis pela função diferencial de linha. A primeira, denominada *f87C*, gerencia os aspectos da comunicação entre os terminais da linha. A segunda, denominada *f87P*, implementa a função de proteção diferencial tradicional. A seguir é apresentada uma breve descrição de cada uma dessas duas rotinas.

### 5.1 Rotina de gerenciamento da comunicação para a proteção diferencial

Esta rotina, executada no DSP2, é responsável pelas seguintes funções: monitoramento e gerenciamento dos canais de comunicação; monitoramento do sinal de GPS local e remoto (quando a compensação da assimetria do canal encontra-se habilitada); implementação do algoritmo *Ping-pong*.

Quando há falha na comunicação ou perda no sincronismo da amostragem, a rotina bloqueia a proteção diferencial. O relé pode operar com um ou dois canais de comunicação e pode ser aplicado à proteção de linhas de dois ou três terminais, como ilustrado na figura 7. No caso de linhas de dois terminais, estando os dois canais habilitados, um dos canais opera no esquema *hot stand-by* (vide figura 7a). No caso de proteção de linhas de três terminais (figura 7b), se um dos canais de comunicação falhar, os IEDs conectados nesse canal passam a operar no modo escravo, enquanto que o terceiro IED opera no modo mestre. Nessa situação, somente o relé mestre pode gerar um sinal de *trip*, dado que ele é o único que recebe informação de todos os terminais. A abertura dos terminais no modo escravo é feita através de um *transfer trip* enviado através dos canais de comunicação.

A rotina *f87C* permite ao usuário selecionar um de quatro modos distintos de compensação da assimetria: modo 1: compensação da assimetria desabilitada (aplicável a canais simétricos); modo 2: compensação habilitada, porém se o sinal do satélite GPS é perdido em qualquer terminal, bloqueia a função 87 após um tempo ajustável; modo 3: idem ao modo 1, porém não bloqueia, mas altera a função 87 para ajustes menos sensíveis; modo 4: compensação habilitada, porém se o GPS falha, continua a compensação da assimetria com o valor armazenado na memória até que ocorra mudança no *Round Trip Time* do canal quando, então, a função 87 é bloqueada.

A rotina *f87C* disponibiliza para o registro de eventos e lógica programável as seguintes informações: *status* dos canais de comunicação; *status* dos GPS local e remoto; erro de ID dos IED remotos; taxa de perdas de pacotes e de erros de CRC acima do limiar; *status* do processo de sincronização; assimetria medida para o canal acima do limiar.

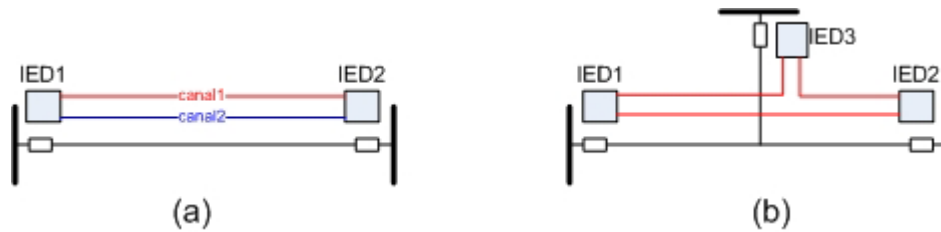


FIGURA 7. Proteção diferencial para linhas de dois (a) e três (b) terminais.

## 5.2. Rotina de proteção diferencial de linha

A rotina *f87P* implementa a função diferencial percentual tradicional, mostrada na figura 8(a), independentemente para cada uma das fases e também para a seqüência zero. Como discutido no item anterior, essa função pode ser aplicada tanto para linhas de dois quanto de três terminais. A função permite a compensação das correntes capacitivas da linha, desde que a medição das tensões esteja habilitada. É possível aplicar a função diferencial implementada mesmo para linhas que possuam transformadores (cargas) conectados em derivação e que operam como fonte de retorno da componente de seqüência zero da corrente de falta, como ocorre com transformadores conectados na ligação estrela/delta/estrela (vide figura 8-(b)). Quando esta situação é habilitada no ajuste do relé, a função bloqueia o elemento diferencial de seqüência zero e elimina a componente de seqüência zero das correntes das fases antes de testar a característica diferencial para cada uma dessas fases.

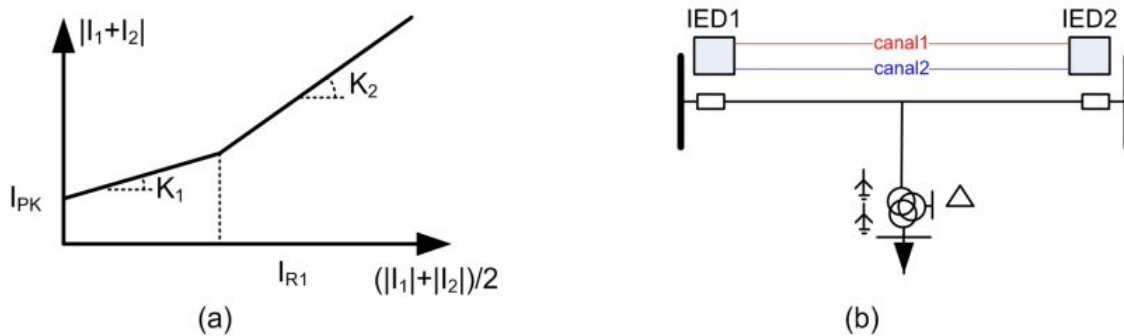


FIGURA 8. a)- Característica diferencial percentual; b) proteção de linha com carga em derivação.

## 6.0 - CONCLUSÕES

O trabalho apresentou parte dos resultados de um projeto de pesquisa, realizado pelo Laboratório de Pesquisas em Proteção de Sistemas Elétricos (LProt), em parceria com a empresa Reason Tecnologia, e financiado pela FINEP. O equipamento em desenvolvimento integra todas as facilidades encontradas nos modernos IED, tais como, funções de proteção, controle, medição, monitoramento e análise pós-falta. Atualmente, o desenvolvimento de equipamentos com esse grau de complexidade somente é realizado por empresas multinacionais que operam no mercado de proteção de sistemas elétricos de forma globalizada e contam com grandes equipes de desenvolvimento. Através do financiamento deste projeto de pesquisa, a FINEP buscou fomentar a aproximação entre a Universidade e um tradicional fabricante de equipamentos eletrônicos para o setor elétrico, visando o desenvolvimento de novos produtos, com tecnologia nacional, na área de proteção de sistemas elétricos.

## 7.0 - REFERÊNCIAS BIBLIOGRÁFICAS

- (1) Välimäki, V. – “Discrete-Time Modeling of Acoustic Tubes Using Fractional Delay Filters” – Tese de doutorado – Helsinki University of Technology- 1995.
- (2) Shpak, D. J; Antoniou, A. – “A Generalized Remez Method for the Design of FIR Digital Filters” – IEEE Trans. Circuits and Systems, pp. 161-174, 1990.
- (3) Senger, E C; Santana, N. N – “Pré-Filtragem da Componente Exponencial Amortecida para os Algoritmos Utilizados em Relés de Distância” – VI STPC – Seminário Técnico de Proteção e Controle – 1998 – Natal – RN.